



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020030023844

(43) Publication.Date. 20030320

(21) Application No.1020010088713

(22) Application Date. 20011231

(51) IPC Code:

H01L 27/105

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

OH, SANG HYEON

SEO, CHUNG WON

SUNG, JIN YONG

(30) Priority:

1020010056829 20010914 KR

(54) Title of Invention

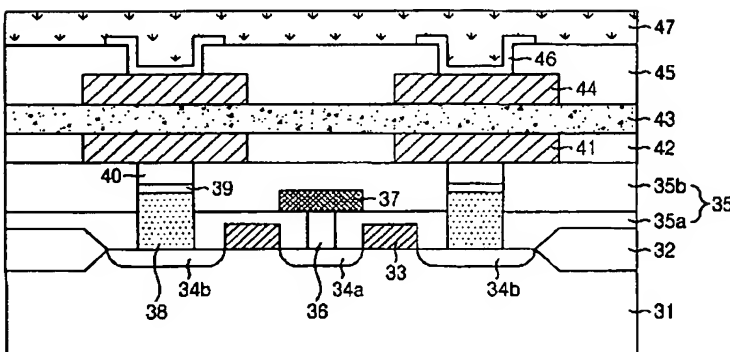
FERROELECTRIC RANDOM ACCESS MEMORY AND FABRICATION METHOD THEREOF

Representative drawing

(57) Abstract:

PURPOSE: A ferroelectric random access memory and fabrication method thereof are provided to prevent decrease of the capacitance caused by the size limit of an upper electrode and a short circuit between an upper and lower electrode.

CONSTITUTION: Two neighboring transistors are formed on a semiconductor substrate (31). The first isolation layer(35) and second one(42) with openings to expose a portion of the first one are formed on the substrate. Two lower electrodes(41) are filled inside the openings. Two upper electrodes(44) are formed on a ferroelectric layer(43) with the same width as the lower ones. A portion of the upper electrodes is exposed to be connected to a plate line(47) through the third isolation layer(45). A word line(32), source (34b) and common drain(34a) of a transistor are connected to a bit line(37) and isolated from each other by the first isolation layer (35). Poly silicon layers are used to connect the lower electrodes of a capacitor to the source. Ti nitride layers(40) and Ti silicide layers(3 ) are used as a diffusion barrier and



an ohmic contact layer respectively.

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. H01L 27/105	(11) 공개번호 (43) 공개일자	특2003-0023844 2003년03월20일
(21) 출원번호	10-2001-0088713	
(22) 출원일자	2001년12월31일	
(30) 우선권주장	1020010056829 2001년09월14일 대한민국(KR)	
(71) 출원인	주식회사 하이닉스반도체 대한민국 467-866 경기 이천시 부발읍 아미리 산136-1	
(72) 발명자	오상현 대한민국 361-101 충청북도청주시흥덕구사직1동210-13 성진용 대한민국 138-220 서울특별시송파구장일동시영아파트3-504 서충원 대한민국 469-880 경기도여주군가남면신해리620-17동남아파트101-908	
(74) 대리인	특허법인 신성	
(77) 심사청구	있음	
(54) 출원명	강유전체 메모리 소자 및 그 제조 방법	

요약

본 발명은 상부전극의 크기 제한에 따른 전하저장능력 저하 및 강유전체막의 식각에 따른 강유전체막의 특성 저하를 개선하도록 한 강유전체 메모리 소자 및 그 제조 방법에 관한 것으로, 이를 위한 본 발명의 강유전체 메모리 소자는 셀영역과 주변회로영역이 정의된 기판, 상기 셀영역 상부에 형성된 다수의 하부전극, 상기 다수의 하부전극을 서로 절연시키며 상기 다수의 하부전극의 표면과 평탄화를 이루는 표면을 갖고 상기 기판의 전영역에 걸쳐 형성된 제1절연물, 상기 다수의 하부전극을 포함한 상기 제1절연물을 덮되, 상기 셀영역상에만 형성된 강유전체막, 및 적어도 상기 다수의 하부전극보다 큰 크기를 갖고 일방향으로는 상기 다수의 하부전극에 각각 대향하며 타방향으로는 각각이 상기 다수의 하부전극에 공통으로 대향하는 상기 강유전체막상의 다수의 상부전극을 포함한다.

대표도

도3

색인어

캐패시터, 강유전체막, 스피코팅, CMP, 전면식각, 단차

명세서

도면의 간단한 설명

도 1은 일반적인 1T/1C 구조를 갖는 FeRAM의 등가회로도,

도 2는 종래기술에 따라 제조된 FeRAM을 도시한 구조 단면도,

도 3은 본 발명의 실시예에 따른 FeRAM을 도시한 구조 단면도,  
 도 4a 내지 도 4d는 본 발명의 제1실시예에 따른 FeRAM의 제조 방법을 도시한 공정 단면도.  
 도 5a는 본 발명의 제2실시예에 따른 FeRAM의 등가회로도,  
 도 5b는 도 5a에 따른 레이아웃도,  
 도 6a 내지 도 6d는 본 발명의 제2실시예에 따른 FeRAM의 제조 방법을 도시한 공정 단면도.  
 도 7는 본 발명의 제3실시예에 따른 FeRAM의 레이아웃도,  
 도 8a 내지 도 8d는 본 발명의 제3실시예에 따른 FeRAM의 제조 방법을 도시한 공정 단면도.  
 도 9는 본 발명의 제4실시예에 따른 FeRAM의 레이아웃도,  
 도 10a 내지 도 10d는 본 발명의 제4실시예에 따른 FeRAM의 제조 방법을 도시한 공정 단면도.  
 도 10e는 도 10d의 x-x'선에 따른 단면도,  
 도 11a 내지 도 11d는 본 발명의 제5실시예에 따른 FeRAM의 제조 방법을 도시한 공정 단면도.

#### \*도면의 주요 부분에 대한 부호의 설명

31 : 반도체기판	35 : 제1절연물
41 : 하부전극	42 : 제2절연물
43 : 강유전체막	44 : 상부전극
45 : 제3절연물	47 : 플레이트라인

#### 발명의 상세한 설명

##### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 강유전체 메모리소자 및 그의 제조 방법에 관한 것이다.

일반적으로, 반도체 메모리 소자에서 강유전체(Ferroelectric) 박막을 강유전체 캐패시터에 사용함으로써 DRAM(Dynamic Random Access Memory) 소자에서 필요한 리프레쉬(Refresh)의 한계를 극복하고 대용량의 메모리를 이용할 수 있는 소자의 개발이 진행되어왔다. 이러한 강유전체 박막을 이용하는 강유전체 메모리 소자(Ferroelectric Random Access Memory; 이하 'FeRAM'이라 약칭함) 소자는 비휘발성 메모리 소자(Nonvolatile Memory device)의 일종으로 전원이 끊어진 상태에서도 저장 정보를 기억하는 장점이 있을 뿐만 아니라 동작 속도도 DRAM에 필적하여 차세대 기억소자로 각광받고 있다.

이러한 FeRAM 소자의 축전물질로는  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (이하 'SBT'라 약칭함)와  $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$  (이하 'PZT'라 약칭함)와 같은 강유전체 박막이 주로 사용되며, 강유전체 박막은 상온에서 유전상수가 수백에서 수천에 이르며 두 개의 안정한 잔류분극(Remnant polarization; Pr) 상태를 갖고 있어 이를 박막화하여 비휘발성(Nonvolatile) 메모리 소자로의 응용이 실현되고 있다.

강유전체 박막을 이용하는 비휘발성 메모리 소자는, 가해주는 전기장의 방향으로 분극의 방향을 조절하여 신호를 입력하고 전기장을 제거하였을 때 남아있는 잔류분극의 방향에 의해 디지털 신호 '1'과 '0'을 저장하는 히스테리시스(Hysteresis) 특성을 이용한다.

FeRAM 소자에서 강유전체 캐패시터의 강유전체 박막으로서 전술한 PZT 및 SBT 외에 페로브스카이트(Perovskite) 구조를 갖는  $\text{Sr}_x\text{Bi}_y(\text{Ta}_1\text{Nb}_1$

$)_2\text{O}_9$  (이하 SBTN) 등의 강유전체박막을 사용하는 경우, 통상적으로 백금(Pt), 이리듐(Ir), 루테튬(Ru), 이리듐산화막(IrO), 루테튬산화막(RuO), 백금합금(Pt-alloy) 등의 금속을 이용하여 상/하부전극을 형성한다.

도 1은 일반적인 1T/1C 구조를 갖는 FeRAM의 등가회로도로서, 'C'는 강유전체캐패시터, 'Q'는 MOS 트랜지스터, 'WL<sub>1</sub>, WL<sub>2</sub>'은 MOS 트랜지스터의 게이트에 접속된 워드라인, 'BL'은 MOS 트랜지스터의 소스/드레인에 접속된 비트라인, 'PL'은 캐패시터의 상부전극에 접속된 플레이트라인을 나타낸다.

도 2는 도 1에 따른 종래기술의 FeRAM 셀을 도시한 구조 단면도이다.

도 2를 참조하면, 인접한 두 트랜지스터가 형성된 반도체기판(11), 반도체기판(11)의 소정 부분에 두 트랜지스터와 다른 트랜지스터간 격리를 위해 형성된 소자분리막(12), 반도체기판(11)상에 평탄화되어 형성된 제1절연물(15), 제1절연물(15)상에 하부전극(19)과 강유전체막(20)이 동일쪽으로 적층되고 강유전체막(20)상에 하부전극(19)보다 작은 폭을 갖는 상부전극(21)이 형성된 강유전체 캐패시터, 상부전극(21)의 소정 표면을 노출시키는 개구부를 갖고 강유전체 캐패시터를 덮으면서 평탄화된 제2절연물(22), 제2절연물(22)의 개구부를 통해 상부전극(21)에 접속된 플레이트라인(23)을 포함한다.

그리고, 트랜지스터는 통상적인 CMOS 공정에 따라 형성되는데, 반도체기판(11)상에 게이트전극(워드라인)(13)이 형성되고, 게이트전극(13)양측의 반도체기판(11)내에 이웃한 두 트랜지스터의 공통접속 드레인(이하 '공통드레인'이라 약칭함)(14a) 및 각 트랜지스터의 소스(14b)가 형성된다.

그리고, 제1절연물(15)은 제1,2층간절연막(15a,15b)이 차례로 형성된 절연물이며, 제1층간절연막(15a)을 관통하여 매립된 제1콘택플러그(16)를 통해 공통드레인(14a)에 비트라인(17)이 접속되고, 비트라인(17)은 제2층간절연막(15b)에 의해 절연된다.

그리고, 제1,2층간절연막(15a,15b)의 절연물로 이루어진 제1절연물(15)을 관통하여 매립된 제2콘택플러그(18)가 각 트랜지스터의 소스(14b)와 강유전체 캐패시터의 제1전극(19)을 접속시킨다.

도 2에 도시된 종래기술의 FeRAM 셀은 강유전체 캐패시터 형성시, 하부전극(19), 강유전체막(20), 상부전극(21)을 순차적으로 형성한 후, 상부전극(21)을 먼저 식각하고 다른 마스크를 이용하여 강유전체막(20)과 하부전극(19)을 순차적으로 식각한다.

그러나, 종래기술은 상부전극을 하부전극의 크기만큼 가져가기가 어려운데, 그 이유는 하부전극과 상부전극의 크기를 같게 하면 하부전극과 상부전극이 단락되어 공정상의 안정성을 확보하기 어렵기 때문이다.

이와 같은 이유로 캐패시터의 전하저장능력을 좌우하는 상부전극의 크기가 하부전극 크기 이하로 제한을 받아 충분한 양의 전하를 확보하기 어렵다.

또한, 종래기술에서는 하부전극을 형성한 후 바로 강유전체막을 입힌 관계로 하부전극을 패터닝하기 위해서는 반드시 강유전체막도 식각해야 하므로, 강유전체막이 식각 과정에서 식각가스인 플라스마에 노출되어 그 특성이 크게 열화됨에 따라 강유전체막의 특성을 회복시키기 위한 회복열처리 공정을 반드시 진행해야만 하는 문제점이 있다.

즉, 상부전극을 식각할 때 과도식각과정에서 불가피하게 상부전극 바깥쪽 주변의 강유전체막이 플라스마에 노출되고, 이처럼 강유전체막이 플라스마에 노출되면, 분극이 (+),(-)의 값을 갖지 못하고 플라스마에 노출될 당시의 상황에 따라 (+) 또는 (-)로 고정되어[이를 피닝(pinning) 현상이라 함], 사용할 수 있는 전하의 크기가 크게 제한된다.

이를 해결하기 위해 하부전극을 패터닝한 후 현재 널리 사용되고 있는 스피닝코팅이나 LSMCD법을 적용하여 강유전체막을 입히는 방법이 제안되었으나, 이는 하부전극 및 하부전극에 앞서 형성된 하부막의 토폴로지로 인하여 강유전체막의 균일도 확보에 어려움이 있고 하부전극이 없는 부분에서 강유전체막의 균열이 발생하기 쉬워 적용하기 어려운 단점이 있다.

또한, 종래기술에서 캐패시터 형성시, 하부전극/강유전체막/상부전극 모두를 패터닝하는 경우, 캐패시터의 단차는 5500 Å 이상으로 이러한 단차는 마스크작업시에 부담을 주며 캐패시터 사이를 층간절연막으로 채워야 하는데, 셀면적이 축소됨에 따라 채우는 것이 점점 어려워지고 있어 평탄화에도 어려움이 있다.

한편, 셀면적이 축소됨에 따라 금속배선인 플레이트라인과 캐패시터간에 콘택홀을 형성하기가 어려워 층간절연막을 전면 식각 혹은 CMP법으로 제거하여 상부전극을 직접 플레이트라인에 연결하고자 하는 방법이 제안되고 있으나, 이 경우 전술한 방법과 같이 강유전체막과 하부전극을 식각하는 경우에 층간절연막이 얇아서 플레이트라인과 하부전극이 단락될 우려가 있다.

이러한 문제점은 고강유전체막을 적용하는 DRAM에서도 발생된다.

#### 발명이 이루고자 하는 기술적 과제

본 발명은 상기 종래기술의 문제점을 해결하기 위해 안출한 것으로서, 상부전극의 크기 제한에 따른 전하저장능력 저하를 방지하는데 적합한 캐패시터를 구비한 강유전체메모리소자 및 그 제조 방법을 제공하는데 그 목적이 있다.

본 발명의 다른 목적은 캐패시터의 단차에 따른 마스크작업의 부담 및 평탄화의 어려움, 그리고 상하부전극간 단락을 방지하는데 적합한 강유전체메모리소자의 제조 방법을 제공하는데 있다.

본 발명의 또다른 목적은 강유전체막의 식각에 따른 강유전체막의 특성 열화를 억제하는데 적합한 강유전체막을 구비한 강유전체메모리 소자 및 그 제조 방법을 제공하는데 있다.

## 발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 강유전체 메모리 소자는 셀영역과 주변회로영역이 정의된 기판, 상기 셀영역 상부에 형성된 다수의 하부전극, 상기 다수의 하부전극을 서로 절연시키며 상기 다수의 하부전극의 표면과 평탄화를 이루는 표면을 갖고 상기 기판의 전영역에 걸쳐 형성된 제1절연물, 상기 다수의 하부전극을 포함한 상기 제1절연물을 덮고, 상기 셀영역상에만 형성된 강유전체막, 및 적어도 상기 다수의 하부전극보다 큰 크기를 갖고 일방향으로는 상기 다수의 하부전극에 각각 대향하며 타방향으로는 각각이 상기 다수의 하부전극에 공통으로 대향하는 상기 강유전체막상의 다수의 상부전극을 포함하여 이루어짐을 특징으로 한다.

그리고, 본 발명의 강유전체 메모리 소자의 제조 방법은 셀영역과 주변회로영역이 정의된 기판의 상기 셀영역 상부에 다수의 하부전극을 형성하는 단계, 상기 다수의 하부전극을 포함한 전면에 제1절연물을 형성하는 단계, 상기 제1절연물을 평탄화시켜 상기 다수의 하부전극의 표면을 노출시키는 단계, 상기 다수의 하부전극을 포함한 상기 제1절연물상에 강유전체막을 형성하는 단계, 상기 강유전체막을 선택적으로 식각하여 상기 셀영역에만 잔류시키는 단계, 및 상기 잔류하는 강유전체막상에 적어도 상기 다수의 하부전극보다 큰 크기를 갖고 일방향으로는 상기 다수의 하부전극에 각각 대향하며 타방향으로는 각각이 상기 다수의 하부전극에 공통으로 대향하는 다수의 상부전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 3은 본 발명의 제1실시예에 따른 FeRAM 셀을 도시한 구조 단면도로서, 도1에 도시된 하나의 플레이트라인에 두 캐패시터의 상부전극이 동시에 연결된 구조이다.

도 3에 도시된 바와 같이, 인접한 두 트랜지스터가 형성된 반도체기판(31), 반도체기판(31)상의 평탄화된 제1절연물(35), 제1절연물(35)을 소정 폭 노출시키는 개구부를 갖는 제1절연물(35)상의 평탄화된 제2절연물(42), 제2절연물(42)의 개구부에 채워진 하부전극(BE)(41), 하부전극(41) 및 제2절연물(42)상에 형성된 강유전체막(43), 적어도 하부전극(41)과 그 크기가 같은 강유전체막(43)상의 상부전극(TE)(44), 상부전극(44)의 소정 상면을 노출시키는 개구부를 가지면서 상부전극(44) 및 강유전체막(43)을 덮는 제3절연물(45), 제3절연물(45)의 개구부를 통해 상부전극(44)에 플레이트라인(PL)(47)이 접속된다.

그리고, 반도체기판(31)상의 워드라인(32), 반도체기판(31)내의 소스(34b) 및 공통드레인(34a)을 포함하는 서로 이웃한 트랜지스터 및 공통드레인(34a)에 접속된 비트라인(37)이 제1절연물(35)에 의해 절연된다.

그리고, 제1절연물(35)은 다층 구조의 제1,2층간절연막(35a,35b)으로 이루어지며, 제1층간절연막(35a)을 관통하는 콘택홀을 통해 공통드레인(34a)에 텅스텐플러그(36)가 접속되고, 텅스텐플러그(36)에 접속된 비트라인(37)이 제1층간절연막(35a)상에 형성되며, 또한 제1절연물(35)은 각 소스(34b)의 소정 부분을 노출시키는 콘택홀을 갖고 이 콘택홀에 폴리실리콘플러그(38), 티타늄실리사이드(39) 및 티타늄질화막(40)의 적층막이 매립된다.

여기서, 텅스텐플러그(36)는 비트라인(37)을 트랜지스터에 접속시키기 위한 콘택플러그이며 폴리실리콘플러그(38)는 캐패시터의 하부전극(42)을 트랜지스터에 접속시키기 위한 콘택플러그이고, 하부전극(42)과 폴리실리콘플러그(38) 사이에 삽입된 티타늄질화막(40)은 확산배리어막이고, 티타늄실리사이드(39)는 오믹콘택층이다.

그리고, 강유전체막(43)은 SBT, BLT, PZT, 불순물이 첨가되거나 조성이 변조된 도핑 SBT, 도핑 BLT, 도핑 PZT, 페로브스카이트 구조의 강유전체막 및 층상 페로브스카이트 구조의 강유전체막 중에서 선택된 어느 하나를 포함한다.

그리고, 하부전극(41)과 상부전극(44)은 백금, 이리듐, 이리듐산화물, 루테튬, 루테튬산화물, Re, Rh 및 이들의 복합구조물 중에서 선택된 어느 하나를 포함한다.

그리고, 제1,2,3절연물(35,42,45)은 산화물, 질화물 및 이들의 복합구조물 중에서 선택된 어느 하나이며, 특히 제2절연물(42)은 TEOS, PSG, BPSG 등의 실리콘산화막계 산화물, 실리콘질화막계 질화물 및 이들의 복합구조물중에서 선택된 하나이다.

한편, 제2절연물(42)은 제3층간절연막이고, 제3절연물(45)은 제4층간절연막이다.

도 4a 내지 도 4d는 본 발명의 제1실시예에 따른 강유전체메모리소자의 제조 방법을 도시한 공정 단면도이다.

도 4a에 도시된 바와 같이, 반도체기판(31)에 소자간 격리를 위한 소자분리막(32)을 형성하고, 반도체기판(31)상에 다수의 워드라인(33)을 형성한 후, 워드라인(33) 양측의 반도체기판(31)내에 이온주입공정을 통해 트랜지스터의 소스/드레인(34a, 34b)을 형성한다.

여기서, 소스/드레인(34a,34b) 중 일측 소스/드레인(34a)은 후속 하나의 비트라인에 접속되는 두 트랜지스터의 공통접합영역으로 작용한다(이하 '공통드레인'이라 약칭함). 따라서, 타측 소스/드레인(34b)은 각 트랜지스터의 소스가 된다.

그리고, 전술한 공정에 의해 형성된 인접한 두 개의 트랜지스터를 포함한 전면에 제1층간절연막(35a)을 증착 및 평탄화한 후, 제1층간절연막(35a)을 선택적으로 식각하여 공통드레인(34a)을 노출시키는 제1콘택홀(도시 생략)을 형성하고, 제1콘택홀에 텅스텐플러그(36)를 매립시킨다.

다음으로, 텅스텐플러그(36)가 매립된 제1층간절연막(35a)상에 비트라인을 형성하기 위한 제1전도막을 증착한 후, 제1전도막을 선택적으로 패터닝하여 텅스텐플러그(36)를 통해 공통드레인(34a)에 접속되는 비트라인(37)을 형성한다.

다음으로, 비트라인(37)을 포함한 제1층간절연막(35a)상에 제2층간절연막(35b)을 증착 및 평탄화한 후, 제2층간절연막(35b)과 제1층간절연막(35a)을 순차적으로 식각하여 각 트랜지스터의 소스(34b)를 노출시키는 제2콘택홀(도시 생략)을 형성한다.

여기서, 제1층간절연막(35a)과 제2층간절연막(35b)은 강유전체캐패시터 형성 전에 형성된 하부막들을 절연시키기 위한 제1절연물(35)이다.

계속해서, 제2콘택홀을 포함한 전면에 폴리실리콘을 증착하고 에치백 공정을 통해 제2콘택홀에 폴리실리콘플러그(38)를 부분 매립시킨 후, 폴리실리콘플러그(38)상에 티타늄실리사이드(39)를 형성한다.

여기서, 티타늄실리사이드(39)는 티타늄 증착 및 열처리를 통해 형성되며, 열처리후 미반응 티타늄을 제거하기 위한 식각 공정이 이루어진다.

상술한 폴리실리콘플러그/티타늄실리사이드(38/39)는 트랜지스터에 모두 접속되며, 제2콘택홀에 부분 매립된 구조로 형성된다.

다음으로, 티타늄실리사이드(39)를 포함한 전면에 배리어막인 티타늄질화막(TiN)(40)을 증착한 후, 에치백이나 화학적기계적연마를 통해 제2층간절연막(35b)상의 티타늄질화막을 제거하여 제2콘택홀에만 잔류시킨다.

여기서, 티타늄질화막(40)은 후속 강유전체막의 열처리시에 산소가 하부전극을 통해 폴리실리콘플러그(38)로 확산하는 것을 방지하기 위한 배리어막으로서, 이러한 배리어막으로는 티타늄질화막(40)외에 TiAlN, TiSiN 및 이들의 복합물(예컨대, TiSiN/TiN)중에서 선택된 어느 하나를 이용할 수 있다.

또한, 티타늄질화막(40)을 포함한 배리어막은 후속 하부전극 패터닝시 동시에 패터닝되어 하부전극과 그 폭이 동일할 수도 있다.

상술한 폴리실리콘플러그(38), 티타늄실리사이드(39) 및 티타늄질화막(40)의 적층막은 스토리지노드콘택(SNC)이라고 일컫는다.

다음으로, 제2층간절연막(35b)상에 하부전극을 형성하기 위한 제2전도막을 증착한 후, 제2전도막을 선택적으로 패터닝하여 폴리실리콘플러그(38)를 통해 트랜지스터의 소스(34b)에 접속되는 하부전극(41)을 형성한다.

여기서, 하부전극(41)을 형성하는 제2전도막은 백금(Pt), 이리듐(Ir), 이리듐산화물(IrO<sub>x</sub>), 루테튬(Ru), Re, Rh 및 이들의 복합구조물중에서 선택된 어느 하나를 포함하는데, 예를 들면, 이리듐, 이리듐산화물 및 백금의 순서로 적층된 적층막(Ir/IrO<sub>x</sub>/Pt)을 이용한다.

그리고, 하부전극(41)을 이루는 제2전도막은 화학기상증착법(CVD), 물리기상증착법(PVD) 및 원자층증착법(ALD) 중에서 선택된 하나의 증착법을 통해 증착된다.

다음으로, 하부전극(41)을 포함한 전면에 제3층간절연막(42)을 증착한다.

도 4b에 도시된 바와 같이, 하부전극(41)의 표면이 드러날때까지 제3층간절연막(42)을 화학적기계적연마 또는 에치백하여 평탄화하므로써 제3층간절연막(42)내에 하부전극(41)이 매립된 구조를 형성한다.

여기서, 하부전극(41)을 제3층간절연막(42)내에 매립시키는 다른 방법으로는, 먼저 제3층간절연막(42)을 형성한 후 제3층간절연막(42)을 선택적으로 식각하여 하부전극(41)이 형성될 부분을 노출시키고, 전면에 제2전도막을 증착한 후 에치백이나 화학적기계적연마하여 이루어질 수 있다.

한편, 제3층간절연막(42)으로는 TEOS, PSG, BPSG 등의 실리콘산화막계 산화물, 실리콘질화막계 질화물 및 이들의 복합구조물중에서 선택된 어느 하나를 이용하며, 제1,2층간절연막(35a, 35b)도 제3층간절연막(42)에 적용된 절연물을 이용할 수 있다.

도 4c에 도시된 바와 같이, 평탄화된 제3층간절연막(42)상에 강유전체막(43)을 증착한 후, 강유전체막(43)상에 상부전극을 형성하기 위한 제3전도막을 증착한다. 계속해서, 제3전도막을 선택적으로 패터닝하여 하부전극(41)과 그 크기가 같거나 더 큰 상부전극(44)을 형성한다.

여기서, 강유전체막(43)은 SBT, BLT, PZT, 불순물이 첨가되거나 조성이 변조된 도핑 SBT, 도핑 BLT, 도핑 PZT, 페로브스카이트 구조의 강유전체막 및 층상 페로브스카이트 구조의 강유전체막 중에서 선택된 어느 하나를 포함하며, 화학기상증착법(CVD), 스프인코팅 및 LSMCD(Liquid Source Misted Chemical Deposition)법 중에서 선택된 하나의 증착법을 통해 증착된다.

그리고, 상부전극(44)을 형성하는 제3전도막은 백금(Pt), 이리듐(Ir), 이리듐산화물( $\text{IrO}_x$ ), 루테튬(Ru), Re, Rh 및 이들의 복합구조물중에서 선택된 어느 하나를 포함하며, 화학기상증착법(CVD), 물리기상증착법(PVD) 및 원자층증착법(ALD) 중에서 선택된 하나의 증착법으로 증착된다.

상술한 것처럼, 하부전극(41)과 상부전극(44)이 강유전체막(43)에 의해 완전히 격리되어 있으므로, 상부전극(44)의 크기가 제한을 받지 않는다.

또한, 상부전극(44) 패터닝시 하부전극(41)과 동일한 크기로 가능하므로 하부전극(41) 패터닝시 적용된 마스크를 적용할 수 있어 마스크의 수를 감소시킬 수 있다.

도 4d에 도시된 바와 같이, 상부전극(44)을 포함한 전면에 제4층간절연막(45)을 증착 및 평탄화한 후, 제4층간절연막(45)을 선택적으로 식각하여 상부전극(44)의 소정 표면을 노출시키는 캐패시터콘택홀(도시 생략)을 형성한다.

계속해서, 캐패시터콘택홀을 포함한 전면에 후속 플레이트라인내 불순물의 확산을 방지하기 위한 확산배리어막(46)을 증착 및 패터닝한 후, 전면에 플레이트라인을 형성하기 위한 금속막을 증착한다.

여기서, 확산배리어막(46)으로는 TiN, Ti 및 Ti/TiN 중에서 선택된 하나를 이용한다.

다음으로, 금속막을 선택적으로 패터닝하여 인접한 상부전극(44)을 서로 접속시키는 플레이트라인(47)을 형성한다.

도 5a는 본 발명의 제2실시예에 따른 강유전체메모리소자의 등가회로도이고, 도 5b는 제2실시예에 따른 강유전체메모리소자를 나타낸 레이아웃도이다.

도 5a의 'A'를 설명하면, 도 1과 다르게 하나의 강유전체메모리셀이 각각 다른 플레이트라인(PL1, PL2)에 접속되고 있다.

즉, 하나의 비트라인(BL1)과 두 개의 워드라인(WL1, WL2)이 교차하는 방향으로 배치되고, 일측 셀은 비트라인(BL1)에 드레인이 접속되고 제1워드라인(WL1)에 게이트가 접속된 제1트랜지스터(MN1)와 제1트랜지스터(MN1)의 소스와 제1플레이트라인(PL1) 사이에 접속된 제1강유전체캐패시터(FC1)로 이루어지고, 타측 셀은 비트라인(BL1)에 드레인이 접속되고 제2워드라인(WL2)에 게이트가 접속된 제3트랜지스터(MN3)와 제3트랜지스터(MN3)의 소스와 제2플레이트라인(PL2) 사이에 접속된 제2강유전체캐패시터(FC1)로 이루어진다.

도 5a의 등가회로를 레이아웃으로 도시한 도 5b를 참조하면, 2개의 워드라인(WL1, WL2)과 2개의 비트라인(BL1, BL2)이 서로 교차하는 방향(예컨대, 워드라인을 Y축 방향으로 배열하고 비트라인을 X축 방향으로 배열함)으로 배치되며, 워드라인(WL1, WL2) 사이에 비트라인(BL1, BL2)을 반도체기판(도시 생략)과 콘택하기 위한 비트라인 콘택(BLC1, BLC2)이 배치되고, 하나의 워드라인(WL1)을 따라 평행하게 제1캐패시터모듈(Capacitor Module; CM1)이 배치되고, 다른 하나의 워드라인(WL2)을 따라 평행하게 제2캐패시터모듈(CM2)이 배치된다.

여기서, 제1, 2캐패시터모듈(CM1, CM2)은 워드라인들(WL1, WL2) 일측에 배치된 비트라인콘택들(BLC1, BLC2)과 접속되지 않도록 워드라인들(WL1, WL2)의 타측에 배치된다.

한편, 제1캐패시터모듈(CM1)은 반도체기판(도시 생략)과 콘택되는 스토리지노드콘택(Storage Node Contact)(SNC1, SNC2), 스토리지노드콘택(SNC1, SNC2)에 접속된 하부전극(BE1, BE2), 하부전극(BE1, BE2)을 모두 덮는 하나의 상부전극(TE1)으로 구성되며, 상부전극(TE1)과 동일한 방향으로 오버랩되면서 하나의 플레이트라인(PL1)이 배치되고, 상부전극(TE1)의 일측 끝단에만 플레이트라인(PL1)과 상부전극(TE1)을 접속시키기 위한 캐패시터콘택(CAPC1)이 배치된다.

그리고, 제2캐패시터모듈(CM2)은 반도체기판(도시 생략)과 콘택되는 스토리지노드콘택(SNC3, SNC4); 스토리지노드콘택(SNC3, SNC4)에 접속된 하부전극(BE3, BE4), 하부전극(BE3, BE4)을 모두 덮는 하나의 상부전극(TE2)으로 구성되며, 상부전극(TE2)과 동일한 방향으로 오버랩되면서 하나의 플레이트라인(PL2)이 배치되며 상부전극(TE2)의 일측 끝단에만 플레이트라인(PL2)과 상부전극(TE2)을 접속시키기 위한 캐패시터콘택(CAPC2)이 배치된다.

상기한 제1캐패시터모듈(CM1) 및 제2캐패시터모듈(CM2)에 있어서, 각 캐패시터들은 하나의 강유전체막(F)을 공유하며, 상부전극(TE1, TE2)이 플레이트라인(PL1, PL2)이 되는 구조를 갖는다.



도 6a 내지 도 6d는 본 발명의 제2실시예에 따른 강유전체메모리소자의 제조 방법을 도시한 공정 단면도이다. 여기서, 각 도면의 좌측은 도 5b의 y-y'선에 따른 단면도이고, 도면의 우측은 도 5b의 x-x'선에 따른 단면도이다.

이하, y-y'선에 따른 단면도를 중심으로 설명하며, x-x'선에 따른 단면도는 부가적으로 설명하기로 한다.

도 6a에 도시된 바와 같이, 반도체기판(51)에 소자간 격리를 위한 필드산화막(52)을 형성하고, 반도체기판(51)상에 소정 거리를 두고 나란히 배열된 워드라인(53)을 형성한 후, 워드라인(53) 양측의 반도체기판(51)내에 이온주입공정을 통해 트랜지스터의 소스/드레인(54a, 54b)을 형성한다.

여기서, 소스/드레인(54a, 54b) 중 일측 소스/드레인(54a)은 후속 하나의 비트라인(BL1)에 접속되는 두 트랜지스터의 공통 접합영역으로 작용한다(이하 '공통드레인'이라 약칭함). 따라서, 타측 소스/드레인(54b)은 각 트랜지스터의 소스(이하 '소스'라 약칭함)가 된다.

다음으로, 전술한 공정에 의해 형성된 트랜지스터를 포함한 전면에 제1층간절연막(55a)을 증착 및 평탄화한 후, 제1층간절연막(55a)을 선택적으로 식각하여 공통드레인(54a)을 노출시키는 제1콘택홀(도시 생략)을 형성하고, 제1콘택홀에 텅스텐 플러그(56)를 매립시킨다.

다음으로, 텅스텐플러그(56)가 매립된 제1층간절연막(55a)상에 비트라인을 형성하기 위한 제1전도막을 증착한 후, 제1전도막을 선택적으로 패터닝하여 텅스텐플러그(56)를 통해 공통드레인(54a)에 접속되는 비트라인(57)을 형성한다.

다음으로, 비트라인(57)을 포함한 제1층간절연막(55a)상에 제2층간절연막(55b)을 증착 및 평탄화한 후, 제2층간절연막(55b)과 제1층간절연막(55a)을 순차적으로 식각하여 각 트랜지스터의 소스(54b)를 노출시키는 제2콘택홀(도시 생략)을 형성한다.

계속해서, 제2콘택홀을 포함한 전면에 폴리실리콘을 증착하고 에치백 공정을 통해 제2콘택홀에 폴리실리콘플러그(58)를 부분 매립시킨 후, 폴리실리콘플러그(58)상에 티타늄실리사이드(59)를 형성한다.

여기서, 티타늄실리사이드(59)는 티타늄 증착 및 열처리를 통해 형성되며, 열처리후 미반응 티타늄을 제거하기 위한 식각 공정이 이루어진다.

상술한 폴리실리콘플러그/티타늄실리사이드(58/59)는 트랜지스터의 소스(54b)에 모두 접속되며, 제2콘택홀에 부분 매립된 구조로 형성된다.

다음으로, 티타늄실리사이드(59)를 포함한 전면에 배리어막인 티타늄질화막(TiN)(60)을 증착한 후, 에치백이나 화학적기계적연마를 통해 제2층간절연막(55b)상의 티타늄질화막을 제거하여 제2콘택홀에만 잔류시킨다.

여기서, 티타늄질화막(60)은 후속 강유전체막의 열처리시에 산소가 하부전극을 통해 폴리실리콘플러그(58)로 확산하는 것을 방지하기 위한 배리어막으로서, 이러한 배리어막으로는 티타늄질화막(60)외에 TiAlN, TiSiN 및 이들의 복합물(예컨대, TiSiN/TiN)중에서 선택된 어느 하나를 이용할 수 있다.

또한, 티타늄질화막(60)을 포함한 배리어막은 후속 하부전극 패터닝시 동시에 패터닝되어 하부전극과 그 폭이 동일할 수도 있다.

상술한 것처럼, 제2콘택홀에 매립되는 폴리실리콘플러그(58), 티타늄실리사이드(59) 및 티타늄질화막(60)의 적층막은 스토리지노드콘택(SNC)이라고 일컫는다.

다음으로, 제2층간절연막(55b)상에 하부전극을 형성하기 위한 제2전도막을 증착한 후, 제2전도막을 선택적으로 패터닝하여 스토리지노드콘택을 통해 트랜지스터의 소스(54b)에 접속되는 하부전극(61)을 형성한다.

여기서, 하부전극(61)을 형성하는 제2전도막은 백금(Pt), 이리듐(Ir), 이리듐산화물(IrO<sub>x</sub>), 루테튬(Ru), Re, Rh 및 이들의 복합구조물중에서 선택된 어느 하나를 포함하는데, 예를 들면, 이리듐, 이리듐산화물 및 백금의 순서로 적층된 적층막(Ir/IrO<sub>x</sub>/Pt)을 이용한다. 그리고, 이러한 하부전극(61)을 이루는 제2전도막은 화학기상증착법(CVD), 물리기상증착법(PVD) 및 원자층증착법(ALD) 중에서 선택된 하나의 증착법을 통해 증착된다.

한편, x-x'선에 따른 단면도를 살펴보면, 하나의 워드라인(53)을 따라 배열되는 두 개의 하부전극(61)들이 서로 소정 거리를 두고 필드산화막(52)에 의해 격리되면서 형성된다. 즉, 두 개의 하부전극(61)은 동일한 활성영역상에 형성되지 않는다.

도 6b에 도시된 바와 같이, 하부전극(61)을 포함한 전면에 제3층간절연막(62)을 증착한 후, 하부전극(61)의 표면이 드러날 때까지 제3층간절연막(62)을 화학적기계적연마 또는 에치백으로 평탄화하여 제3층간절연막(62)내에 하부전극(61)이 매립된 구조를 각각 형성한다.

예컨대, 제3층간절연막(62)을 화학적기계적연마하는 경우에는 하부전극(61)의 상측 표면의 손실이 미미하며, 셀영역의 경우 셀간 거리가 짧아 넓은 영역에서 손실에 의해 움푹 패이는 디싱 현상도 적기 때문에 평탄화가 가능하다.

그리고, 하부전극(61)을 제3층간절연막(62)내에 매립시키는 다른 방법으로는, 먼저 제3층간절연막(62)을 형성한 후 제3층간절연막(62)을 선택적으로 식각하여 하부전극(61)이 형성될 부분을 노출시키고, 전면에 제2전도막을 증착한 후 에치백이나 화학적기계적연마하여 이루어질 수 있다.

한편, 제3층간절연막(62)으로는 TEOS, PSG, BPSG 등의 실리콘산화막계 산화물, 실리콘질화막계 질화물 및 이들의 복합 구조물중에서 선택된 어느 하나를 이용하며, 제1,2층간절연막(55a, 55b)도 제3층간절연막(62)에 적용된 절연물을 이용할 수 있다.

도 6c에 도시된 바와 같이, 평탄화된 제3층간절연막(62)상에 강유전체막(63)을 증착한 후, 강유전체막(63)상에 상부전극을 형성하기 위한 제3전도막을 증착한다.

계속해서, 제3전도막을 선택적으로 패터닝하여 하부전극(61)과 그 크기가 같거나 더 크며 비트라인(57)과 교차하는 방향으로 배열된 상부전극(64)을 형성한다.

한편, X축선에 따른 단면도를 살펴보면, 상부전극(64)은 각각 하나의 워드라인을 따라 배열된 하부전극(61)과 하부전극(61)상의 공통 강유전체막(63)상에 형성된다.

여기서, 강유전체막(63)은 SBT, BLT, PZT, 불순물이 첨가되거나 조성이 변조된 도핑 SBT, 도핑 BLT, 도핑 PZT, 페로브스카이트 구조의 강유전체막 및 층상 페로브스카이트 구조의 강유전체막 중에서 선택된 어느 하나를 포함하며, 화학기상증착법(CVD), 스퍼팅 및 LSMCD법 중에서 선택된 하나의 증착법을 통해 증착된다.

그리고, 상부전극(64)을 형성하는 제3전도막은 백금(Pt), 이리듐(Ir), 이리듐산화물(IrO<sub>x</sub>), 루테튬(Ru), Re, Rh 및 이들의 복합 구조물중에서 선택된 어느 하나를 포함하며, 화학기상증착법(CVD), 물리기상증착법(PVD) 및 원자층증착법(ALD) 중에서 선택된 하나의 증착법으로 증착된다.

상술한 것처럼, 하부전극(61)과 상부전극(64)이 강유전체막(63)에 의해 완전히 격리되어 있으므로, 상부전극(64)의 크기가 제한을 받지 않는다.

도 6d에 도시된 바와 같이, 상부전극(64)을 포함한 전면에 제4층간절연막(65)을 증착 및 평탄화한 후, x-x'선에 따른 단면도 참조하면, 제4층간절연막(65)을 선택적으로 식각하여 상부전극(64)의 일측 끝단을 노출시키는 캐패시터콘택(CAPC1/CAPC2, 도 5b에 도시됨)을 형성하기 위한 제3콘택홀(도시 생략)을 형성한다.

계속해서, 제3콘택홀을 포함한 전면에 후속 플레이트라인내 불순물의 확산을 방지하기 위한 확산배리어막(66)을 증착한 후, 확산배리어막(66)을 선택적으로 패터닝하여 제3콘택홀에만 잔류시킨다.

여기서, 확산배리어막(66)으로는 TiN, Ti 및 Ti/TiN 중에서 선택된 하나를 이용한다.

다음으로, 확산배리어막(66)을 포함한 전면에 플레이트라인을 형성하기 위한 금속막을 증착한 후, 금속막을 선택적으로 패터닝하여 비트라인(57)에는 교차하는 방향으로 배열되며 워드라인(53)에는 나란히 배열되고 상부전극(64)을 덮는 TiN/Ti/Al/TiN의 순서로 적층된 플레이트라인(67)을 형성한다.

한편, x-x'선에 따른 단면도를 살펴보면, 플레이트라인(67)은 공통 상부전극(64)의 일측끝단에 형성된 제3콘택홀을 통해 상부전극(64)과 동일한 방향으로 형성된다.

이와 같이, 제3콘택홀을 플레이트라인(67)의 끝단에만 형성하므로 셀면적이 축소될 때에도 셀면적에 부담을 주지 않아 필요한만큼 크게 형성할 수 있다.

상술한 제2실시예에는 각각의 캐패시터에 캐패시터콘택을 형성하지 않고 플레이트라인(67)의 일측 끝단에만 콘택을 형성하므로 셀면적 축소시에 각각의 캐패시터에 콘택을 형성하는 어려움을 피할 수 있다.

그리고, 캐패시터에 의한 전체 단차는 상부전극의 단차만으로 줄어드므로 단차에 의한 마스크 작업의 부담을 줄일 수 있어 평탄화가 용이하다.

또한, 상부전극(64)과 하부전극(61)간의 단락을 근본적으로 방지할뿐만 아니라 강유전체막(63)을 식각하지 않으므로 식각 과정에서 강유전체막(63)이 플라즈마에 노출되어 열화되는 것을 방지한다.

한편, 제2실시예에서는 플레이트라인내 티타늄의 확산을 방지하기 위해 확산배리어막을 사용하고 있으나, 확산배리어막이 형성되는 캐패시터콘택이 플레이트라인의 끝단에 형성되고 있어 직접적으로 플레이트라인으로부터 확산하는 티타늄이 강유전체막에 영향을 주지 않기 때문에 확산배리어막을 생략할 수도 있다.

즉, 확산배리어막을 적용하는 경우에는 확산배리어막 식각시 하부의 제3층간절연막의 막질이 개질됨에 따른 주변회로영역의 비트라인을 노출시키기 위한 콘택홀의 습식식각이 어려운 문제가 있었으나, 확산배리어막을 생략하는 경우에는 습식식각이 가능하므로 금속배선의 콘택 형태를 와인글래스(wine glass) 형태로 형성하여 콘택의 크기가 감소하더라도 콘택저항 및 매립이 용이하다.

도 7은 본 발명의 제3실시예에 따른 강유전체메모리소자의 셀을 나타낸 레이아웃도이다. 참고로, 제3실시예는 제2실시예와 동일한 등가회로로 구성된다.

도 7은 도 5a의 등가회로에 따른 다른 레이아웃도로서, 모든 캐패시터가 하나의 강유전체막(F)을 공유하고 y축 방향으로 배열된 상부전극(TE1,TE2)이 다수의 하부전극(BE1,BE2,BE3,BE4)을 덮는 것을 도 5b와 동일하나 플레이트라인(PL<sub>1</sub>,PL<sub>2</sub>)과 상부전극(TE1,TE2)을 접속시키기 위한 캐패시터콘택이 강유전체막(F)상에 미리 독립적으로 하부전극(BE1,BE2,BE3,BE4)당 하나씩 구비된 점이 도 5b와 다르다.

즉, 2개의 워드라인(WL1,WL2)과 2개의 비트라인(BL1,BL2)이 서로 교차하는 방향(예컨대, 워드라인을 y축 방향으로 배열하고 비트라인을 x축 방향으로 배열함)으로 배치되며, 워드라인(WL1,WL2) 사이에 비트라인(BL1,BL2)을 반도체기판(도시 생략)과 콘택하기 위한 비트라인 콘택(BLC1,BLC2)이 배치되고, 하나의 워드라인(WL1)을 따라 평행하게 제1캐패시터모듈(CM1)이 배치되고, 다른 하나의 워드라인(WL2)을 따라 평행하게 제2캐패시터모듈(CM2)이 배치된다.

여기서, 제1,2캐패시터모듈(CM1,CM2)은 워드라인들(WL1,WL2) 일측에 배치된 비트라인콘택들(BLC1,BLC2)과 접속되지 않도록 워드라인들의 타측에 배치된다.

한편, 제1캐패시터모듈(CM1)은 반도체기판(도시 생략)과 콘택되는 스토리지노드콘택(SNC1,SNC2), 스토리지노드콘택(SNC1,SNC2)에 접속된 하부전극(BE1,BE2), 하부전극(BE1,BE2)들을 동시에 덮는 하나의 상부전극(TE1)으로 구성되며, 상부전극(TE1)과 동일한 방향으로 오버랩되면서 하나의 플레이트라인(PL1)이 배치되며 상부전극(TE1)과 강유전체막(F) 사이에 하부전극(BE1,BE2)당 하나씩 캐패시터콘택(CAPC1,CAPC2)이 배치된다.

그리고, 제2캐패시터모듈(CM2)은 반도체기판(도시 생략)과 콘택되는 스토리지노드콘택(SNC3,SNC4), 스토리지노드콘택(SNC3,SNC4)에 접속된 하부전극(BE3,BE4), 하부전극(BE3,BE4)들을 동시에 덮는 하나의 상부전극(TE2)으로 구성되며, 상부전극(TE2)과 동일한 방향으로 오버랩되면서 하나의 플레이트라인(PL2)이 배치되며 상부전극(TE2)과 강유전체막(F) 사이에 하부전극(BE3,BE4)당 하나씩 캐패시터콘택(CAPC3, CAPC4)이 배치된다.

상기한 제1캐패시터모듈(CM1) 및 제2캐패시터모듈(CM2)에 있어서, 각 캐패시터들은 하나의 강유전체막(F)을 공유한다.

도 8a 내지 도 8d는 본 발명의 제3실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도이다. 이후 도 7의 y-y'선에 따른 단면도를 도시하고 있다.

도 8a에 도시된 바와 같이, 반도체기판(51)에 소자간 격리를 위한 필드산화막(52)을 형성하고, 반도체기판(51)상에 소정 거리를 두고 나란히 배열된 워드라인(53)을 형성한 후, 워드라인(53) 양측의 반도체기판(51)내에 이온주입공정을 통해 트랜지스터의 소스/드레인(54a,54b)을 형성한다.

여기서, 소스/드레인(54a, 54b) 중 일측 소스/드레인(54a)은 후속 하나의 비트라인에 접속되는 두 트랜지스터의 공통접합 영역으로 작용한다(이하 '공통드레인'이라 약칭함). 따라서, 타측 소스/드레인(54b)은 각 트랜지스터의 소스(이하 '소스'라 약칭함)가 된다.

다음으로, 전술한 공정에 의해 형성된 트랜지스터를 포함한 전면에 제1층간절연막(55a)을 증착 및 평탄화한 후, 제1층간절연막(55a)을 선택적으로 식각하여 공통드레인(54a)을 노출시키는 제1콘택홀(도시 생략)을 형성하고, 제1콘택홀에 텅스텐플러그(56)를 매립시킨다.

다음으로, 텅스텐플러그(56)가 매립된 제1층간절연막(55a)상에 비트라인을 형성하기 위한 제1전도막을 증착한 후, 제1전도막을 선택적으로 패터닝하여 텅스텐플러그(56)를 통해 공통드레인(54a)에 접속되는 비트라인(57)을 형성한다.

다음으로, 비트라인(57)을 포함한 제1층간절연막(55a)상에 제2층간절연막(55b)을 증착 및 평탄화한 후, 제2층간절연막(55b)과 제1층간절연막(55a)을 순차적으로 식각하여 각 트랜지스터의 소스(54b)를 노출시키는 제2콘택홀(도시 생략)을 형성한다.

계속해서, 제2콘택홀을 포함한 전면에 폴리실리콘을 증착하고 에치백 공정을 통해 제2콘택홀에 폴리실리콘플러그(58)를 부분 매립시킨 후, 폴리실리콘플러그(58)상에 티타늄실리사이드(59)를 형성한다.

여기서, 티타늄실리사이드(59)는 티타늄 증착 및 열처리를 통해 형성되며, 열처리후 미반응 티타늄을 제거하기 위한 식각공정이 이루어진다.

상술한 폴리실리콘플러그/티타늄실리사이드(58/59)는 트랜지스터의 소스(54b)에 모두 접속되며, 제2콘택홀에 부분 매립된 구조로 형성된다.

다음으로, 티타늄실리사이드(59)를 포함한 전면에 배리어막인 티타늄질화막(TiN)(60)을 증착한 후, 에치백이나 화학적기계적연마를 통해 제2층간절연막(55b)상의 티타늄질화막을 제거하여 제2콘택홀에만 잔류시킨다.

여기서, 티타늄질화막(60)은 후속 강유전체막의 열처리시에 산소가 하부전극을 통해 폴리실리콘플러그(58)로 확산하는 것을 방지하기 위한 배리어막으로서, 이러한 배리어막으로는 티타늄질화막(60)외에 TiAlN, TiSiN 및 이들의 복합물(예컨대, TiSiN/TiN)중에서 선택된 어느 하나를 이용할 수 있다.

또한, 티타늄질화막(60)을 포함한 배리어막은 후속 하부전극 패터닝시 동시에 패터닝되어 하부전극과 그 폭이 동일할 수도 있다.

상술한 것처럼, 제2콘택홀에 매립되는 폴리실리콘플러그(58), 티타늄실리사이드(59) 및 티타늄질화막(60)의 적층막은 스토리지노드콘택이라고 일컫는다.

다음으로, 제2층간절연막(55b)상에 하부전극을 형성하기 위한 제2전도막을 증착한 후, 제2전도막을 선택적으로 패터닝하여 스토리지노드콘택을 통해 트랜지스터의 소스(54b)에 접속되는 하부전극(61)을 형성한다.

여기서, 하부전극(61)을 형성하는 제2전도막은 백금(Pt), 이리듐(Ir), 이리듐산화물( $\text{IrO}_x$ ), 루테튬(Ru), Re, Rh 및 이들의 복합구조물중에서 선택된 어느 하나를 포함하는데, 예를 들면, 이리듐, 이리듐산화물 및 백금의 순서로 적층된 적층막( $\text{Ir/IrO}_x/\text{Pt}$ )을 이용한다. 그리고, 이러한 하부전극(61)을 이루는 제2전도막은 화학기상증착법(CVD), 물리기상증착법(PVD) 및 원자층증착법(ALD) 중에서 선택된 하나의 증착법을 통해 증착된다.

도 8b에 도시된 바와 같이, 하부전극(61)을 포함한 전면에 제3층간절연막(62)을 증착한 후, 하부전극(61)의 표면이 드러날 때까지 제3층간절연막(62)을 화학적기계적연마 또는 에치백으로 평탄화하여 제3층간절연막(62)내에 하부전극(61)이 매립된 구조를 각각 형성한다.

예컨대, 제3층간절연막(62)을 화학적기계적연마하는 경우에는 하부전극(61)의 상측 표면의 손실이 미미하며, 셀영역의 경우 셀간 거리가 짧아 넓은 영역에서 손실에 의해 움푹 패이는 디싱현상도 적기 때문에 평탄화가 가능하다.

그리고, 하부전극(61)을 제3층간절연막(62)내에 매립시키는 다른 방법으로는, 먼저 제3층간절연막(62)을 형성한 후 제3층간절연막(62)을 선택적으로 식각하여 하부전극(61)이 형성될 부분을 노출시키고, 전면에 제2전도막을 증착한 후 에치백이나 화학적기계적연마하여 이루어질 수 있다.

한편, 제3층간절연막(62)으로는 TEOS, PSG, BPSG 등의 실리콘산화막계 산화물, 실리콘질화막계 질화물 및 이들의 복합구조물중에서 선택된 어느 하나를 이용하며, 제1,2층간절연막(55a, 55b)도 제3층간절연막(62)에 적용된 절연물을 이용할 수 있다.

도 8c에 도시된 바와 같이, 평탄화된 제3층간절연막(62)상에 강유전체막(63)을 증착한다. 여기서, 강유전체막(63)은 SBT, BLT, PZT, 불순물이 첨가되거나 조성비가 변조된 도핑 SBT, 도핑 BLT, 도핑 PZT, 페로브스카이트 구조의 강유전체막 및 층상 페로브스카이트 구조의 강유전체막 중에서 선택된 어느 하나를 포함하며, 화학기상증착법(CVD), 스퍼터링 및 LSMCD 법 중에서 선택된 하나의 증착법을 통해 증착된다.

다음으로, 강유전체막(63)상에 제4층간절연막(65)과 접착층(68)을 차례로 형성한 후, 접착층(68)과 제4층간절연막(65)을 선택적으로 식각하여 강유전체막(63)의 소정 표면을 노출시키는 캐패시터콘택(CAPC)을 위한 콘택홀(69)을 형성한다.

여기서, 캐패시터콘택을 위한 콘택홀(69)은 후속 상부전극과 강유전체막(63)이 콘택될 부분이며, 접착층(68)으로는  $\text{TiO}_2$ ,  $\text{Al}_2\text{O}_3$  를 이용한다.

한편, 캐패시터콘택을 위한 콘택홀(69) 형성시, 제4층간절연막(65)과 접착층(68)의 식각은 습식식각을 하는데, 이는 플라즈마를 이용한 건식식각시 강유전체막(63)이 열화되는 것을 방지하기 위함이다.

도 8d에 도시된 바와 같이, 캐패시터콘택을 위한 콘택홀(69)을 포함한 전면에 상부전극(TE1, TE2)을 형성하기 위한 제3전도막과 플레이트라인을 형성하기 위한 금속막을 차례로 증착한다.

계속해서, 금속막과 제3전도막을 선택적으로 패터닝하여 하부전극(61)과 그 크기가 같거나 더 크며 비트라인과 교차하는 방향으로 배열된 상부전극(64)을 형성하고, 상부전극상에 바로 접속되면서 상부전극(64)과 동일한 방향으로 배열되는 플레이트라인(67)을 형성한다.

여기서, 상부전극(64)은 백금(Pt), 이리듐(Ir), 이리듐산화물( $\text{IrO}_x$ ), 루테튬(Ru), Re, Rh 및 이들의 복합구조물중에서 선택된 어느 하나를 포함하며, 화학기상증착법(CVD), 물리기상증착법(PVD) 및 원자층증착법(ALD) 중에서 선택된 하나의 증착법으로 증착된다.

그리고, 플레이트라인(67)은 TiN/Ti/Al/TiN의 순서로 적층된 금속막을 이용한다.

상술한 제3실시예는, 전 공정을 통해서 강유전체막이 플라즈마에 직접 노출되지 않으므로 플라즈마에 의한 강유전체막의 열화를 억제하고, 상부전극과 하부전극의 크기를 동일하게 패터닝할 수 있어 주어진 캐패시터의 크기내에서 더 많은 전하를 사용할 수 있다.

도 9는 본 발명의 제4실시예에 따른 강유전체메모리소자의 셀 레이아웃도이다.

도 9는 도 5a의 등가회로에 따른 또다른 레이아웃도로서, 모든 캐패시터가 하나의 강유전체막(F)을 공유하고 y축 방향으로 배열된 상부전극(TE1,TE2)이 다수의 하부전극(BE1,BE2,BE3,BE4)을 덮는 것은 제2실시예 및 제3실시예와 동일하고 강유전체막(F)상에 상부전극(TE1,TE2)을 접속시키기 위한 캐패시터콘택 (CAPC1,CPAC2,CPAC3,CAPC4)이 미리 독립적으로 구비된 것은 제3실시예와 동일하나, 플레이트라인(PL1,PL2)이 상부전극(TE1,TE2)의 일측 끝단에만 소정폭을 갖고 접속된 점이 제2실시예 및 제3실시예와 다르다.

즉, 2개의 워드라인(WL1,WL2)과 2개의 비트라인(BL1,BL2)이 서로 교차하는 방향(예컨대, 워드라인을 y축 방향으로 배열하고 비트라인을 x축 방향으로 배열함)으로 배치되며, 워드라인(WL1,WL2) 사이에 비트라인(BL1,BL2)을 반도체기판(도시 생략)과 콘택하기 위한 비트라인 콘택(BLC1,BLC2)이 배치되고, 하나의 워드라인(WL1)을 따라 평행하게 제1캐패시터모듈(CM1)이 배치되고, 다른 하나의 워드라인(WL2)을 따라 평행하게 제2캐패시터모듈(CM2)이 배치된다.

여기서, 제1,2캐패시터모듈(CM1,CM2)은 워드라인들(WL1,WL2) 일측에 배치된 비트라인콘택들(BLC1,BLC2)과 접속되지 않도록 워드라인들의 타측에 배치된다.

한편, 제1캐패시터모듈(CM1)은 반도체기판(도시 생략)과 콘택되는 스토리지노드콘택(SNC1,SNC2), 스토리지노드콘택(SNC1,SNC2)에 접속된 하부전극(BE1,BE2), 하부전극(BE1,BE2)들을 동시에 덮는 하나의 상부전극(TE1)으로 구성되며, 상부전극(TE1)과 강유전체막(F) 사이에 캐패시터콘택(CAPC1,CPAC2)이 배치되고, 상부전극(TE1)의 일측끝단에 하나의 플레이트라인(PL1)이 접속된다.

그리고, 제2캐패시터모듈(CM2)은 반도체기판(도시 생략)과 콘택되는 스토리지노드콘택(SNC3,SNC4), 스토리지노드콘택(SNC3,SNC4)에 접속된 하부전극(BE3,BE4), 하부전극(BE3,BE4)들을 동시에 덮는 하나의 상부전극(TE2)으로 구성되며, 상부전극(TE2)과 강유전체막(F) 사이에 캐패시터콘택(CAPC3,CPAC4)이 배치되고, 상부전극(TE2)의 일측끝단에 하나의 플레이트라인(PL2)이 접속된다.

상기한 제1캐패시터모듈(CM1) 및 제2캐패시터모듈(CM2)에 있어서, 각 캐패시터들은 하나의 강유전체막(F)을 공유한다.

도 10a 내지 도 10d는 본 발명의 제4실시예에 따른 강유전체 메모리 소자의 제조 방법을 도시한 공정 단면도이다.

이하, 도 9의 y-y'선에 따른 단면도를 참조하여 설명하기로 한다.

도 10a에 도시된 바와 같이, 반도체기판(51)에 소자간 격리를 위한 필드산화막(52)을 형성하고, 반도체기판(51)상에 소정 거리를 두고 나란히 배열된 워드라인(53)을 형성한 후, 워드라인(53) 양측의 반도체기판(51)내에 이온주입공정을 통해 트랜지스터의 소스/드레인(54a,54b)을 형성한다.

여기서, 소스/드레인(54a, 54b) 중 일측 소스/드레인(54a)은 후속 하나의 비트라인(BL1)에 접속되는 두 트랜지스터의 공통 접합영역으로 작용한다(이하 '공통드레인'이라 약칭함). 따라서, 타측 소스/드레인(54b)은 각 트랜지스터의 소스(이하 '소스'라 약칭함)가 된다.

다음으로, 전술한 공정에 의해 형성된 트랜지스터를 포함한 전면에 제1층간절연막(55a)을 증착 및 평탄화한 후, 제1층간절연막(55a)을 선택적으로 식각하여 공통드레인(54a)을 노출시키는 제1콘택홀(도시 생략)을 형성하고, 제1콘택홀에 텅스텐 플러그(56)를 매립시킨다.

다음으로, 텅스텐플러그(56)가 매립된 제1층간절연막(55a)상에 비트라인을 형성하기 위한 제1전도막을 증착한 후, 제1전도막을 선택적으로 패터닝하여 텅스텐플러그(56)를 통해 공통드레인(54a)에 접속되는 비트라인(57)을 형성한다.

다음으로, 비트라인(57)을 포함한 제1층간절연막(55a)상에 제2층간절연막(55b)을 증착 및 평탄화한 후, 제2층간절연막(55b)과 제1층간절연막(55a)을 순차적으로 식각하여 각 트랜지스터의 소스(54b)를 노출시키는 제2콘택홀(도시 생략)을 형성한다.

계속해서, 제2콘택홀을 포함한 전면에 폴리실리콘을 증착하고 에치백 공정을 통해 제2콘택홀에 폴리실리콘플러그(58)를 부분 매립시킨 후, 폴리실리콘플러그(58)상에 티타늄실리사이드(59)를 형성한다.

여기서, 티타늄실리사이드(59)는 티타늄 증착 및 열처리를 통해 형성되며, 열처리후 미반응 티타늄을 제거하기 위한 식각 공정이 이루어진다.

상술한 폴리실리콘플러그/티타늄실리사이드(58/59)는 트랜지스터의 소스(54b)에 모두 접속되며, 제2콘택홀에 부분 매립된 구조로 형성된다.

다음으로, 티타늄실리사이드(59)를 포함한 전면에 배리어막인 티타늄질화막(TiN)(60)을 증착한 후, 에치백이나 화학적기계적연마를 통해 제2층간절연막(55b)상의 티타늄질화막을 제거하여 제2콘택홀에만 잔류시킨다.

여기서, 티타늄질화막(60)은 후속 강유전체막의 열처리시에 산소가 하부전극을 통해 폴리실리콘플러그(58)로 확산하는 것을 방지하기 위한 배리어막으로서, 이러한 배리어막으로는 티타늄질화막(60)외에 TiAlN, TiSiN 및 이들의 복합물(예컨대, TiSiN/TiN)중에서 선택된 어느 하나를 이용할 수 있다.

또한, 티타늄질화막(60)을 포함한 배리어막은 후속 하부전극 패터닝시 동시에 패터닝되어 하부전극과 그 폭이 동일할 수도 있다.

상술한 것처럼, 제2콘택홀에 매립되는 폴리실리콘플러그(58), 티타늄실리사이드(59) 및 티타늄질화막(60)의 적층막은 스토리지노드콘택이라고 일컫는다.

다음으로, 제2층간절연막(55b)상에 하부전극을 형성하기 위한 제2전도막을 증착한 후, 제2전도막을 선택적으로 패터닝하여 스토리지노드콘택을 통해 트랜지스터의 소스(54b)에 접속되는 하부전극(61)을 형성한다.

여기서, 하부전극(61)을 형성하는 제2전도막은 백금(Pt), 이리듐(Ir), 이리듐산화물( $\text{IrO}_x$ ), 루테튬(Ru), Re, Rh 및 이들의 복합구조물중에서 선택된 어느 하나를 포함하는데, 예를 들면, 이리듐, 이리듐산화물 및 백금의 순서로 적층된 적층막( $\text{Ir/IrO}_x/\text{Pt}$ )을 이용한다. 그리고, 이러한 하부전극(61)을 이루는 제2전도막은 화학기상증착법(CVD), 물리기상증착법(PVD) 및 원자층증착법(ALD) 중에서 선택된 하나의 증착법을 통해 증착된다.

도 10b에 도시된 바와 같이, 하부전극(61)을 포함한 전면에 제3층간절연막(62)을 증착한 후, 하부전극(61)의 표면이 드러날 때까지 제3층간절연막(62)을 화학적기계적연마 또는 에치백으로 평탄화하여 제3층간절연막(62)내에 하부전극(61)이 매립된 구조를 각각 형성한다.

예컨대, 제3층간절연막(62)을 화학적기계적연마하는 경우에는 하부전극(61)의 상측 표면의 손실이 미미하며, 셀영역의 경우 셀간 거리가 짧아 넓은 영역에서 손실에 의해 움푹 패이는 디싱 현상도 적기 때문에 평탄화가 가능하다.

그리고, 하부전극(61)을 제3층간절연막(62)내에 매립시키는 다른 방법으로는, 먼저 제3층간절연막(62)을 형성한 후 제3층간절연막(62)을 선택적으로 식각하여 하부전극(61)이 형성될 부분을 노출시키고, 전면에 제2전도막을 증착한 후 에치백이나 화학적기계적연마하여 이루어질 수 있다.

한편, 제3층간절연막(62)으로는 TEOS, PSG, BPSG 등의 실리콘산화막계 산화물, 실리콘질화막계 질화물 및 이들의 복합구조물중에서 선택된 어느 하나를 이용하며, 제1,2층간절연막(55a, 55b)도 제3층간절연막(62)에 적용된 절연물을 이용할 수 있다.

도 10c에 도시된 바와 같이, 평탄화된 제3층간절연막(62)상에 강유전체막(63)을 증착한다. 여기서, 강유전체막(63)은 SBT, BLT, PZT, 불순물이 첨가되거나 조성이 변조된 도핑 SBT, 도핑 BLT, 도핑 PZT, 페로브스카이트 구조의 강유전체막 및 층상 페로브스카이트 구조의 강유전체막 중에서 선택된 어느 하나를 포함하며, 화학기상증착법(CVD), 스퍼터링 및 LSMCD 법 중에서 선택된 하나의 증착법을 통해 증착된다.

다음으로, 강유전체막(63)상에 제4층간절연막(65)과 접착층(68)을 차례로 형성한 후, 접착층(68)과 제4층간절연막(65)을 선택적으로 식각하여 강유전체막(63)의 소정 표면을 노출시키는 캐패시터콘택(CAPC)을 위한 콘택홀(69)을 형성한다.

여기서, 캐패시터콘택을 위한 콘택홀(69)은 후속 상부전극과 강유전체막(63)이 콘택될 부분이며, 접착층(68)으로는  $\text{TiO}_2$ ,  $\text{Al}_2\text{O}_3$ 를 이용한다.

한편, 캐패시터콘택을 위한 콘택홀(69) 형성시, 제4층간절연막(65)과 접착층(68)의 식각은 습식식각을 하는데, 이는 플라즈마를 이용한 건식식각시 강유전체막(63)이 열화되는 것을 방지하기 위함이다.

도 10d에 도시된 바와 같이, 캐패시터콘택을 위한 콘택홀(69)을 포함한 전면에 상부전극을 형성하기 위한 제3전도막을 증착한 후, 제3전도막을 선택적으로 식각하여 상부전극(64)을 형성한다.

이 때, 상부전극(64)은 하부전극(61)과 그 크기가 같거나 더 크며 비트라인과 교차하는 방향으로 배열된다.

여기서, 상부전극(64)은 백금(Pt), 이리듐(Ir), 이리듐산화물( $\text{IrO}_x$ ), 루테튬(Ru), Re, Rh 및 이들의 복합구조물중에서 선택된 어느 하나를 포함하며, 화학기상증착법(CVD), 물리기상증착법(PVD) 및 원자층증착법(ALD) 중에서 선택된 하나의 증착법으로 증착된다.

다음으로, 도 10e에 도시된 바와 같이, 상부전극(64)을 포함한 전면에 플레이트라인(PL)을 형성하기 위한 금속막을 증착한 후, 상부전극(64)의 일측 끝단에만 플레이트라인(67)을 잔류시킨다.

도 10e는 도 10d의 x-x'선에 따른 단면도로서, 플레이트라인(67)은 다수의 하부전극(61)을 덮는 상부전극(64)의 일측 끝단에만 접속되고, 각 하부전극(61)에 접속된 폴리실리콘플러그(52)들은 필드산화막(52)에 의해 서로 격리되므로써 각 하부전극(61)을 격리시키고 있다.

한편, 플레이트라인(67)은 TiN/Ti/Al/TiN의 순서로 적층된 금속막을 이용한다.

상술한 제4실시예에는 제3실시예에 따른 효과 외에 상부전극(64)과 플레이트라인(67)을 동시에 패터닝하지 않고, 상부전극(64)만을 패터닝하여 플레이트라인으로 사용하기 위해, 상부전극(64)의 끝단에만 플레이트라인(67)을 형성하면 되므로 플레이트라인(67) 중의 티타늄이 강유전체막(63)으로 확산되어 강유전특성을 열화시키는 것을 방지하며, 캐패시터 콘택을 다스리게 형성하더라도 전체 셀면적에 부담이 미미하므로 여기에 플레이트라인을 매립하여 콘택저항을 확보하는데도 용이하다.

도 11a 내지 도 11d는 본 발명의 제5실시예에 따른 강유전체메모리소자의 제조 방법을 도시한 공정 단면도로서, 제3실시예와 동일한 등가회로 및 레이아웃을 갖는다. 차이점이 있다면, 캐패시터 콘택이 상부전극과 플레이트라인 사이에 구성된다.

도 11a에 도시된 바와 같이, 셀영역(I)과 주변회로영역(II)이 정의된 반도체기판(71)에 소자간 격리를 위한 필드산화막(72)을 형성하고, 반도체기판(71)상의 셀영역(I)에 소정 거리를 두고 나란히 배열된 워드라인(73)을 형성한 후, 워드라인(73) 양측의 반도체기판(81)내에 이온주입공정을 통해 트랜지스터의 소스/드레인(74a, 74b, 74c)을 형성한다.

여기서, 소스/드레인(74a, 74b, 74c) 중 일측 소스/드레인(74a)은 후속 셀영역의 비트라인(BL1)에 접속되는 두 트랜지스터의 공통접합영역으로 작용한다(이하 '공통드레인'이라 약칭함). 따라서, 타측 소스/드레인(74b)은 각 트랜지스터의 소스(이하 '소스'라 약칭함)가 되고, 주변회로영역(II)에 형성된 소스/드레인(74c)은 후속 주변회로영역(II)의 비트라인(BL<sub>p</sub>)에 접속될 부분이다.

다음으로, 전술한 공정에 의해 형성된 트랜지스터를 포함한 전면에 제1층간절연막(75a)을 증착 및 평탄화한 후, 제1층간절연막(75a)을 선택적으로 식각하여 공통드레인(74a)과 주변회로영역(II)의 소스/드레인(74c)을 노출시키는 제1콘택홀(도시 생략)을 형성하고, 제1콘택홀에 텅스텐플러그(76)를 매립시킨다.

다음으로, 텅스텐플러그(76b)가 매립된 제1층간절연막(75a)상에 비트라인을 형성하기 위한 제1전도막을 증착한 후, 제1전도막을 선택적으로 패터닝하여 텅스텐플러그(76)를 통해 공통드레인(74a)과 소스/드레인(74c)에 접속되는 비트라인(77)을 형성한다.

다음으로, 비트라인(77)을 포함한 제1층간절연막(75a)상에 제2층간절연막(75b)을 증착 및 평탄화한 후, 제2층간절연막(75b)과 제1층간절연막(75a)을 순차적으로 식각하여 각 트랜지스터의 소스(74b)를 노출시키는 제2콘택홀(도시 생략)을 형성한다.

계속해서, 제2콘택홀을 포함한 전면에 폴리실리콘을 증착하고 에치백 공정을 통해 제2콘택홀에 폴리실리콘플러그(78)를 부분 매립시킨 후, 폴리실리콘플러그(78)상에 티타늄실리사이드(79)를 형성한다.

여기서, 티타늄실리사이드(79)는 티타늄 증착 및 열처리를 통해 형성되며, 열처리 후 미반응 티타늄을 제거하기 위한 식각 공정이 이루어진다.

상술한 폴리실리콘플러그/티타늄실리사이드(78/79)는 트랜지스터의 소스(74b)에 모두 접속되며, 제2콘택홀에 부분 매립된 구조로 형성된다.

다음으로, 티타늄실리사이드(79)를 포함한 전면에 배리어막인 티타늄질화막(TiN)(80)을 증착한 후, 에치백이나 화학적기계적연마를 통해 제2층간절연막(75b)상의 티타늄질화막을 제거하여 제2콘택홀에만 잔류시킨다.

여기서, 티타늄질화막(80)은 후속 강유전체막의 열처리시에 산소가 하부전극을 통해 폴리실리콘플러그(78)로 확산하는 것을 방지하기 위한 배리어막으로서, 이러한 배리어막으로는 티타늄질화막(80) 외에 TiAlN, TiSiN 및 이들의 복합물(예컨대, TiSiN/TiN)중에서 선택된 어느 하나를 이용할 수 있다.

또한, 티타늄질화막(80)을 포함한 배리어막은 후속 하부전극 패터닝시 동시에 패터닝되어 하부전극과 그 폭이 동일할 수도 있다.

상술한 것처럼, 제2콘택홀에 매립되는 폴리실리콘플러그(78), 티타늄실리사이드(79) 및 티타늄질화막(80)의 적층막은 스토리지노드콘택(SNC)이라고 일컫는다.

다음으로, 제2층간절연막(75b)상에 하부전극을 형성하기 위한 제2전도막을 증착한 후, 제2전도막을 선택적으로 패터닝하여 스토리지노드콘택(SNC)을 통해 트랜지스터의 소스(74b)에 접속되는 하부전극(81)을 형성한다.

여기서, 하부전극(81)을 형성하는 제2전도막은 백금(Pt), 이리듐(Ir), 이리듐산화물(IrO<sub>x</sub>), 루테튬(Ru), Re, Rh 및 이들의 복합구조물중에서 선택된 어느 하나를 포함하는데, 예를 들면, 이리듐, 이리듐산화물 및 백금의 순서로 적층된 적층막(Ir/IrO<sub>x</sub>/Pt)을 이용한다. 그리고, 이러한 하부전극(81)을 이루는 제2전도막은 화학기상증착법(CVD), 물리기상증착법(PVD) 및 원자층증착법(ALD) 중에서 선택된 하나의 증착법을 통해 증착된다.

도 11b에 도시된 바와 같이, 하부전극(81)을 포함한 전면에 제3층간절연막(82)을 증착한 후, 하부전극(81)의 표면이 드러날때까지 제3층간절연막(82)을 화학적기계적연마 또는 에치백으로 평탄화하여 제3층간절연막(82)내에 하부전극(81)이 매립된 구조를 각각 형성한다.

여기서, 하부전극(81)을 제3층간절연막(82)내에 매립시키는 다른 방법으로는, 먼저 제3층간절연막(82)을 형성한 후 제3층간절연막(82)을 선택적으로 식각하여 하부전극(81)이 형성될 부분을 노출시키고, 전면에 제2전도막을 증착한 후 에치백이나 화학적기계적연마하여 이루어질 수 있다.

한편, 제3층간절연막(82)으로는 TEOS, PSG, BPSG 등의 실리콘산화막계 산화물, 실리콘질화막계 질화물 및 이들의 복합구조물중에서 선택된 어느 하나를 이용하며, 제1,2층간절연막(75a, 75b)도 제3층간절연막(82)에 적용된 절연물을 이용할 수 있다.

도 11c에 도시된 바와 같이, 평탄화된 제3층간절연막(82)상에 강유전체막(83)을 증착한 후, 주변회로영역(II)에 형성된 부분만을 선택적으로 제거하여 셀영역(I)에만 강유전체막(83)을 잔류시킨다.

여기서, 강유전체막(83)은 SBT, BLT, PZT, 불순물이 첨가되거나 조성이 변조된 도핑 SBT, 도핑 BLT, 도핑 PZT, 페로브스카이트 구조의 강유전체막 및 층상 페로브스카이트 구조의 강유전체막 중에서 선택된 어느 하나를 포함하며, 화학기상증착법(CVD), 스퍼터링 및 LSMCD법 중에서 선택된 하나의 증착법을 통해 증착된다.

다음으로, 강유전체막(83)을 포함한 전면에 상부전극(TE)을 형성하기 위한 제3전도막을 증착한 후, 제3전도막을 선택적으로 패터닝하여 강유전체막(83)을 사이에 두고 하부전극(81)과 캐패시터를 이루는 상부전극(84)을 형성한다.

다음으로, 상부전극(84)을 포함한 전면에 제4층간절연막(85)을 증착한다.

여기서, 상부전극(84)은 백금(Pt), 이리듐(Ir), 이리듐산화물( $\text{IrO}_x$ ), 루테튬(Ru), Re, Rh 및 이들의 복합구조물중에서 선택된 어느 하나를 포함하며, 화학기상증착법(CVD), 물리기상증착법(PVD) 및 원자층증착법(ALD) 중에서 선택된 하나의 증착법으로 증착된다.

도 11d에 도시된 바와 같이, 제4층간절연막(85)을 증착한 후, 플레이트라인을 접속시키기 위한 콘택식각을 실시하는데, 먼저 셀영역(I)의 제4층간절연막(85)만을 선택적으로 식각하여 상부전극(84)의 소정 표면을 노출시키는 캐패시터콘택홀을 형성한 후, 주변회로영역(II)의 제4층간절연막(84), 제3층간절연막(82) 및 제2층간절연막(75b)을 선택적으로 식각하여 비트라인(77)의 소정 표면을 노출시키는 금속배선용 콘택홀을 형성한다.

한편, 금속배선용 콘택홀은 캐패시터콘택홀 형성시 동시에 형성될 수 있다.

계속해서, 캐패시터콘택홀 및 금속배선용 콘택홀을 포함한 전면에 확산배리어막(86)을 증착한 후, 캐패시터콘택홀에만 잔류하도록 확산배리어막(86)을 선택적으로 패터닝한다.

여기서, 확산배리어막(86)으로는 TiN, Ti 및 Ti/TiN 중에서 선택된 하나를 이용한다.

다음으로, 확산배리어막(86)을 포함한 전면에 금속배선을 형성하기 위한 금속막을 증착한 후, 금속막을 선택적으로 패터닝하여 상부전극(84)에 접속되는 플레이트라인(PL, 87)을 형성함과 동시에 주변회로영역(II)의 금속배선(88)을 형성한다.

상술한 제5실시예는 셀영역(I)에서 강유전체막(83)을 식각하지 않으므로 강유전체막(83)의 식각에 따른 열화를 억제하고, 상부전극(84)과 하부전극(81)의 크기를 동일하게 패터닝할 수 있어 주어진 캐패시터의 크기내에서 더 많은 전하를 사용한다.

그리고, 주변회로영역(II)에 강유전체막(83)이 잔류하지 않아 후속 주변회로영역(II)에서의 금속배선용 콘택홀 형성을 위한 식각 공정이 용이하다. 즉, 층간절연막들만 잔류하므로 상대적으로 강유전체막이 잔류할 경우보다 식각을 하나의 단계로 실시할 수 있다.

상술한 실시예에서는 강유전체막을 이용하는 FeRAM셀에 대해 설명하였으나, 다른 실시예로서 BST,  $\text{Ta}_2\text{O}_5$  와 같은 고유전체를 이용하는 DRAM에도 적용할 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.



상술한 바와 같은 본 발명은 강유전체막을 패터닝하지 않으므로 상하부전극간 단락의 위험없이 상하부전극의 크기를 같게 할 수 있어 캐패시터에 저장할 수 있는 전하량을 증대시킬 수 있을뿐만 아니라, 강유전체막의 식각과정에서 발생하는 강유전특성의 열화를 방지할 수 있어 공정상의 안정성을 개선시킬 수 있는 효과가 있다.

그리고, 캐패시터에 의한 단차를 줄일 수 있어 마스크작업시의 부담을 줄이고 평탄화의 어려움을 개선시킬 수 있는 효과가 있다.

또한, 상부전극과 플레이트라인간의 콘택이 없는 구조를 구현할 때 플레이트라인과 하부전극간의 단락 위험을 막을 수 있다.

또한, 종래의 레이아웃을 그대로 사용하면서 공정만 바꾸어 적용이 가능하며, 레티클의 수를 줄일 수 있고, 하부전극을 감싸는 절연막으로서 실리콘질화막을 사용하면 하부전극과 플러그간 스토리지노드 콘택저항 증가를 억제할 수 있는 효과가 있다.

또한, 각각의 캐패시터에 캐패시터콘택을 형성하지 않고 플레이트라인의 일측 끝단에만 캐패시터콘택을 형성할 수 있어 셀면적 축소시에 각각의 캐패시터에 콘택을 형성하는 어려움을 피할 수 있는 등 공정을 단순화시키는 효과가 있다.

#### (57) 청구의 범위

##### 청구항 1.

셀영역과 주변회로영역이 정의된 기판;

상기 셀영역 상부에 형성된 다수의 하부전극;

상기 다수의 하부전극을 서로 절연시키며 상기 다수의 하부전극의 표면과 평탄화를 이루는 표면을 갖고 상기 기판의 전영역에 걸쳐 형성된 제1절연물;

상기 다수의 하부전극을 포함한 상기 제1절연물을 덮되, 상기 셀영역상에만 형성된 강유전체막; 및

적어도 상기 다수의 하부전극보다 큰 크기를 갖고 일방향으로는 상기 다수의 하부전극에 각각 대향하며 타방향으로는 각각이 상기 다수의 하부전극에 공통으로 대향하는 상기 강유전체막상의 다수의 상부전극

포함함을 특징으로 하는 강유전체 메모리 소자.

##### 청구항 2.

제1항에 있어서,

상기 다수의 하부전극에 대향하는 상기 다수의 상부전극의 소정 부분을 노출시키는 다수의 콘택홀을 갖고 상기 다수의 상부전극을 포함한 전영역에 형성된 제2절연물; 및

상기 제2절연물의 다수의 콘택홀을 통해 상기 다수의 상부전극을 동시에 접속시키는 하나의 플레이트라인을 포함함을 특징으로 하는 강유전체 메모리 소자.

##### 청구항 3.

제1항에 있어서,

상기 다수의 상부전극 각각의 일측 끝단을 노출시키는 하나의 콘택홀을 갖고 상기 다수의 상부전극을 포함한 전영역을 덮는 제2절연물; 및

상기 제2절연물의 콘택홀을 통해 상기 다수의 상부전극 각각에 오버랩되면서 연결된 다수의 플레이트라인

을 포함하여 이루어짐을 특징으로 하는 강유전체 메모리 소자.

##### 청구항 4.

제1항에 있어서,

상기 다수의 상부전극상에 상기 다수의 상부전극과 동일한 폭으로 적층되어 제1적층막을 이루는 다수의 플레이트라인; 및

상기 제1적층막을 서로 절연시키는 제2절연물과 접착층의 제2적층막

을 포함함을 특징으로 하는 강유전체 메모리 소자.

청구항 5.

제1항에 있어서,

상기 다수의 상부전극 각각은 타방향으로 상기 다수의 하부전극을 공통으로 덮는 제1부분과 상기 제1부분으로부터 연장된 제2부분을 갖는 것을 특징으로 하는 강유전체 메모리 소자.

청구항 6.

제5항에 있어서,

상기 다수의 상부전극 각각은 상기 제2부분의 소정 표면을 노출시키는 콘택홀을 갖고 상기 다수의 상부전극을 덮는 제2절연물; 및

상기 콘택홀을 통해 상기 다수의 상부전극 각각에 콘택되면서 상기 제2부분보다 작은 크기를 갖는 플레이트라인을 포함함을 특징으로 하는 강유전체 메모리 소자.

청구항 7.

제5항에 있어서,

상기 다수의 상부전극 각각은 상기 강유전체막의 소정 표면을 노출시키는 콘택홀을 갖는 제2절연물과 접착층의 순서로 적층된 제2적층막의 상기 콘택홀을 통해 상기 강유전체막에 접속되면서 상기 제2적층막의 전면에 형성된 것을 특징으로 하는 강유전체 메모리 소자.

청구항 8.

제4항 또는 제7항에 있어서,

상기 접착층은  $\text{TiO}_2$  및  $\text{Al}_2\text{O}_3$  중에서 선택된 하나인 것을 특징으로 하는 강유전체 메모리 소자.

청구항 9.

셀영역과 주변회로영역이 정의된 기판의 상기 셀영역 상부에 다수의 하부전극을 형성하는 단계;

상기 다수의 하부전극을 포함한 전면에 제1절연물을 형성하는 단계;

상기 제1절연물을 평탄화시켜 상기 다수의 하부전극의 표면을 노출시키는 단계;

상기 다수의 하부전극을 포함한 상기 제1절연물상에 강유전체막을 형성하는 단계;

상기 강유전체막을 선택적으로 식각하여 상기 셀영역에만 잔류시키는 단계; 및

상기 잔류하는 강유전체막상에 적어도 상기 다수의 하부전극보다 큰 크기를 갖고 일방향으로는 상기 다수의 하부전극에 각각 대향하며 타방향으로는 각각이 상기 다수의 하부전극에 공통으로 대향하는 다수의 상부전극을 형성하는 단계

을 포함함을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

청구항 10.

제9항에 있어서,

상기 다수의 하부전극의 표면을 노출시키는 단계는,

상기 제1절연물을 화학적기계적연마 또는 에치백하여 이루어짐을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

청구항 11.

제9항에 있어서,

상기 타방향으로 상기 다수의 하부전극에 공통으로 대향하는 다수의 상부전극을 형성하는 단계에서,

상기 다수의 상부전극 각각은 상기 강유전체막상에 상기 다수의 하부전극을 공통으로 덮는 제1부분과 상기 제1부분으로부터 연장된 제2부분을 가지며 형성되는 것을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

#### 청구항 12.

제11항에 있어서,

상기 다수의 상부전극을 포함한 전면에 제2절연물을 형성하는 단계;

상기 제2절연물을 선택적으로 식각하여 상기 다수의 상부전극 각각의 상기 제2부분을 노출시키는 콘택홀을 형성하는 단계; 및

상기 제2절연물상에 상기 콘택홀에 의해 노출된 상기 제2부분에 콘택되면서 상기 다수의 상부전극 각각에 오버랩되는 다수의 플레이트라인을 형성하는 단계

을 포함함을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

#### 청구항 13.

제11항에 있어서,

상기 다수의 상부전극을 포함한 전면에 제2절연물을 형성하는 단계;

상기 제2절연물을 선택적으로 식각하여 상기 다수의 상부전극 각각의 상기 제2부분을 노출시키는 콘택홀을 형성하는 단계; 및

상기 제2절연물상에 상기 콘택홀에 의해 노출된 상기 제2부분에 콘택되면서 상기 제2부분보다 작은 크기를 갖는 다수의 플레이트라인을 형성하는 단계

을 포함함을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

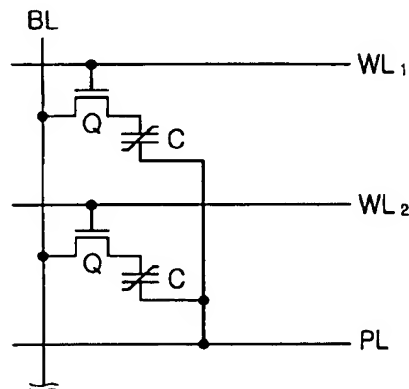
#### 청구항 14.

제12항 또는 제13항에 있어서,

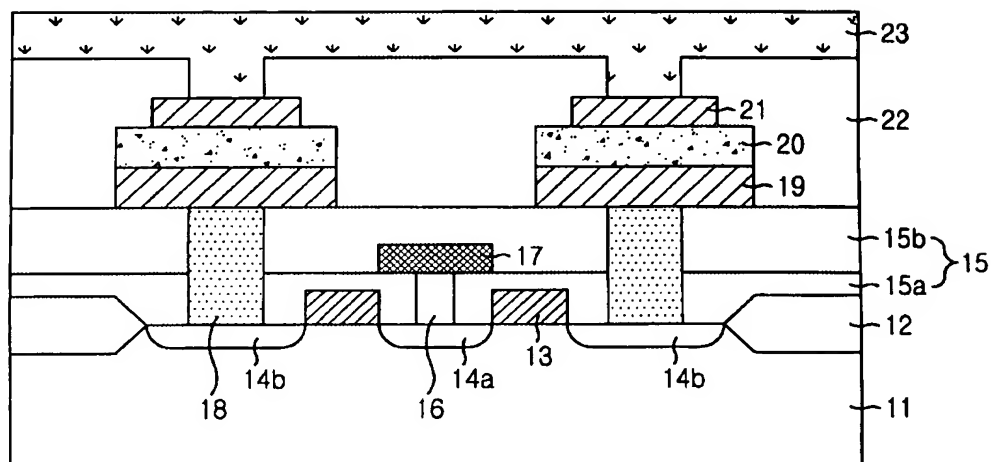
상기 제2절연물은 상기 다수의 상부전극에 접착되는 접착층을 포함함을 특징으로 하는 강유전체 메모리 소자의 제조 방법.

도면

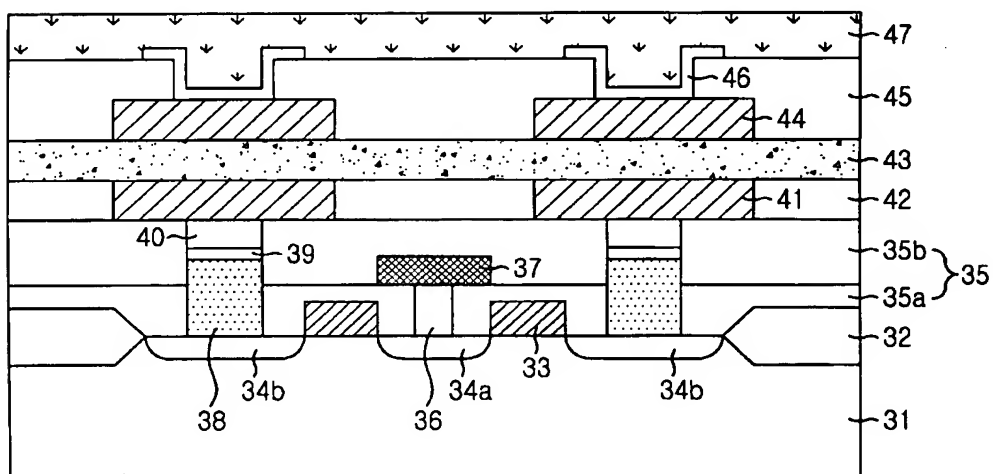
도면 1



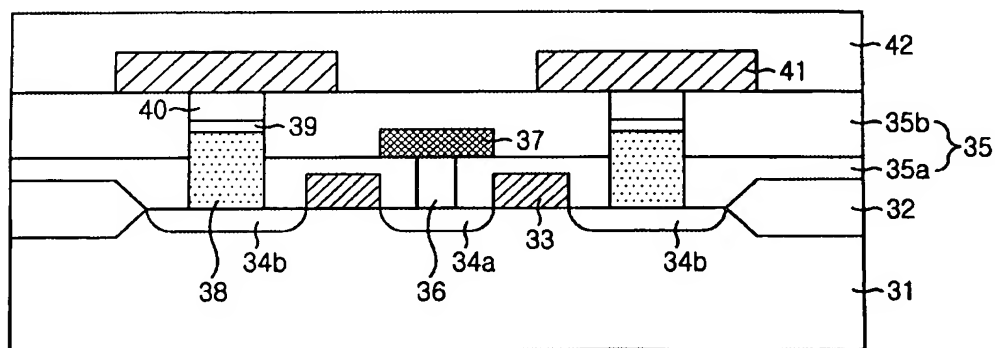
도면 2



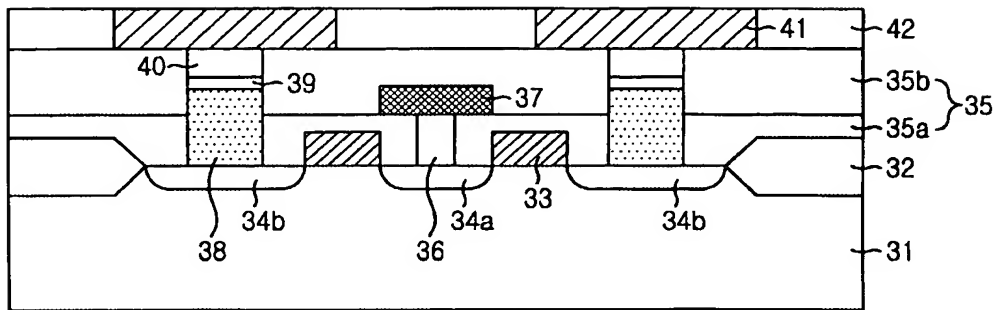
도면 3



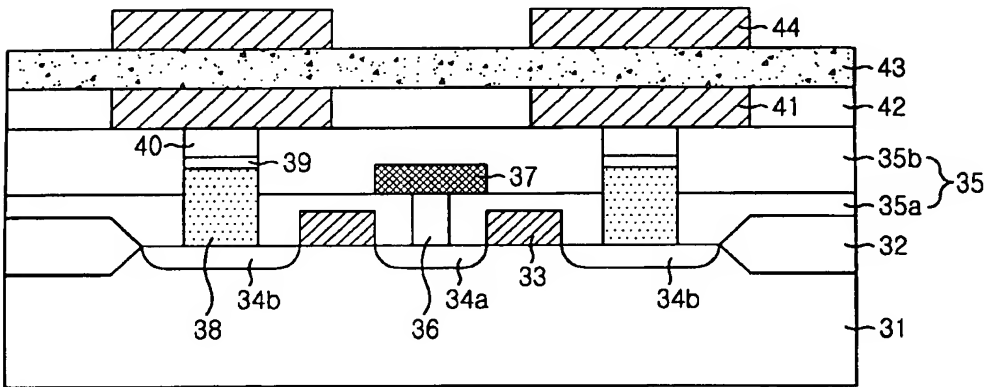
도면 4a



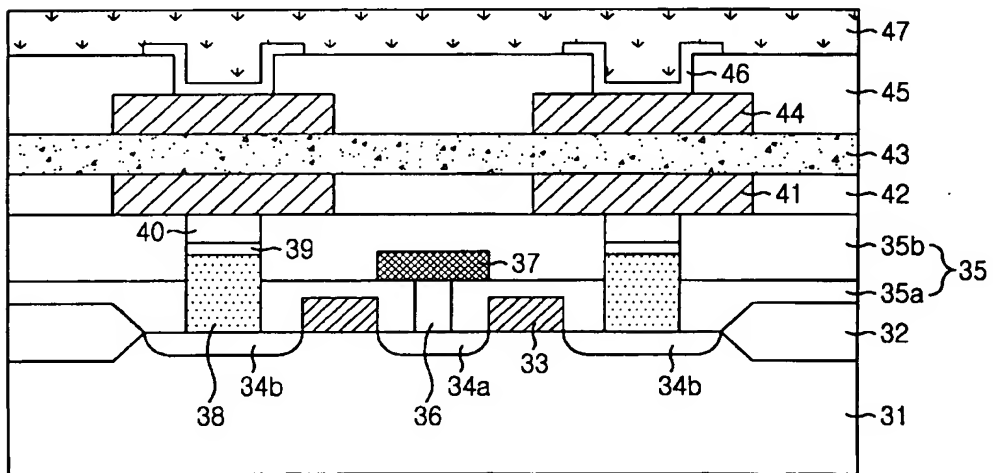
도면 4b



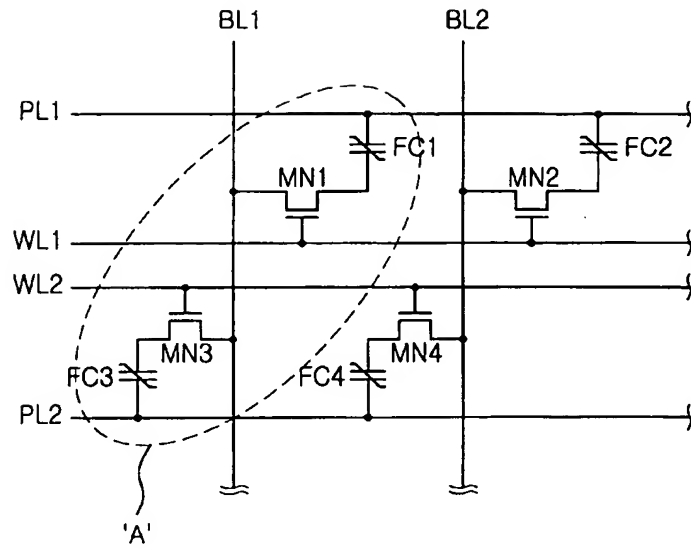
도면 4c

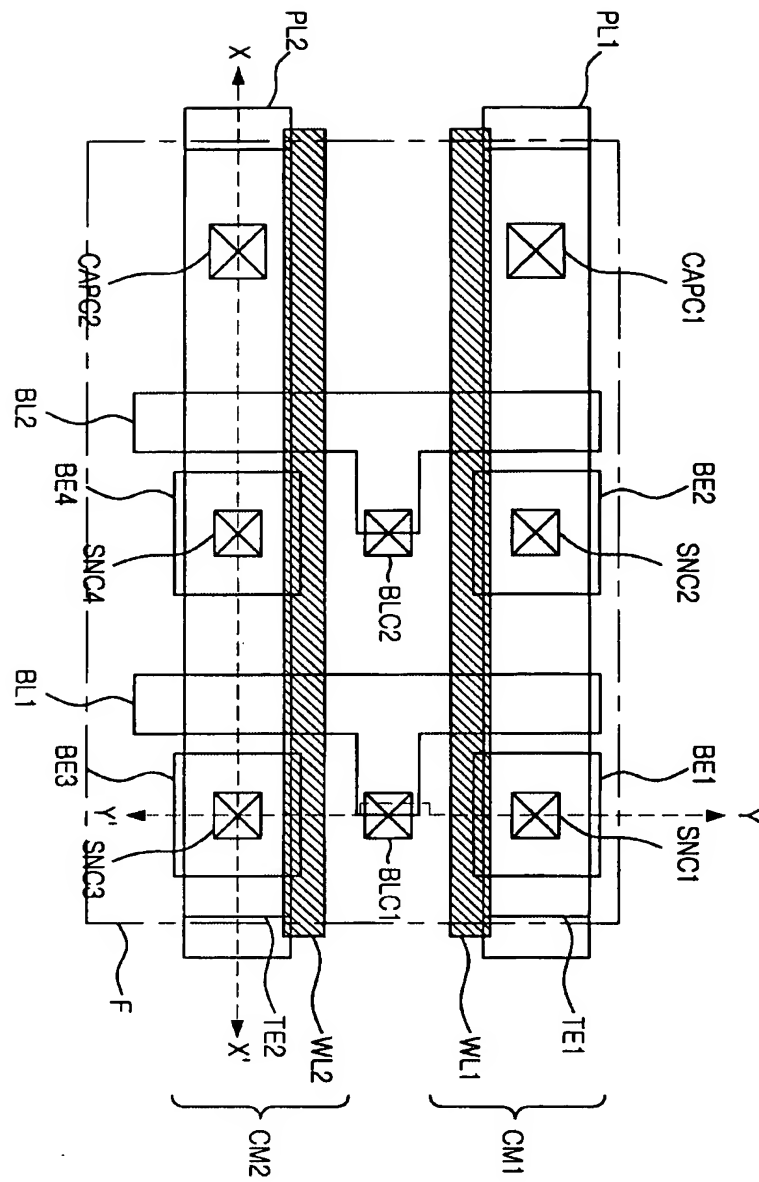


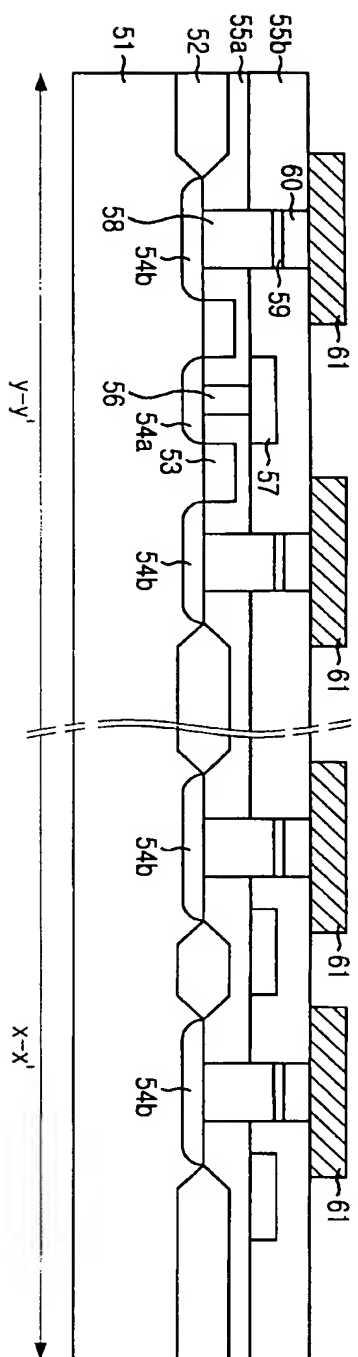
도면 4d



도면 5a

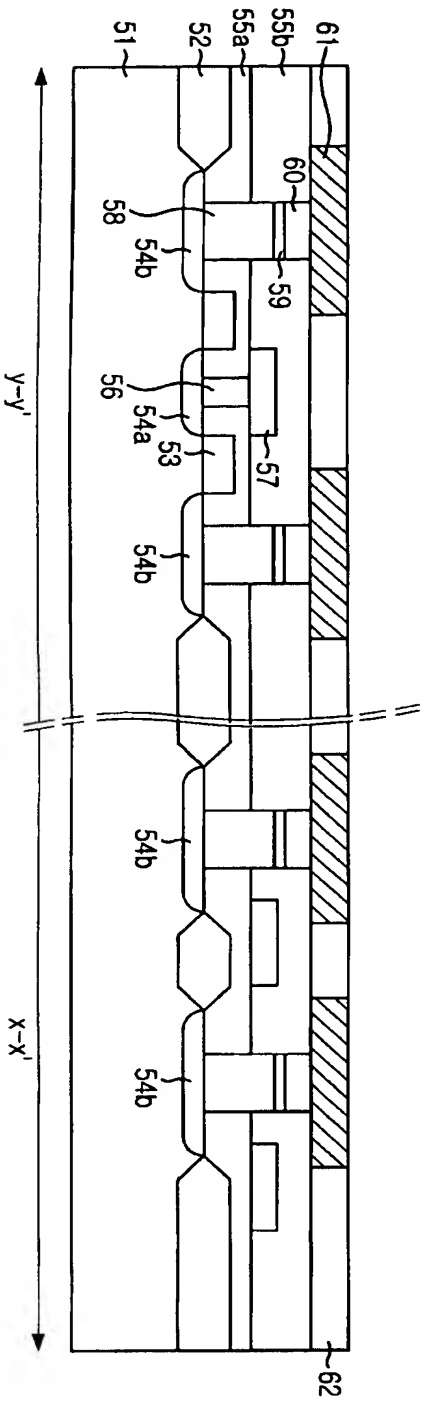




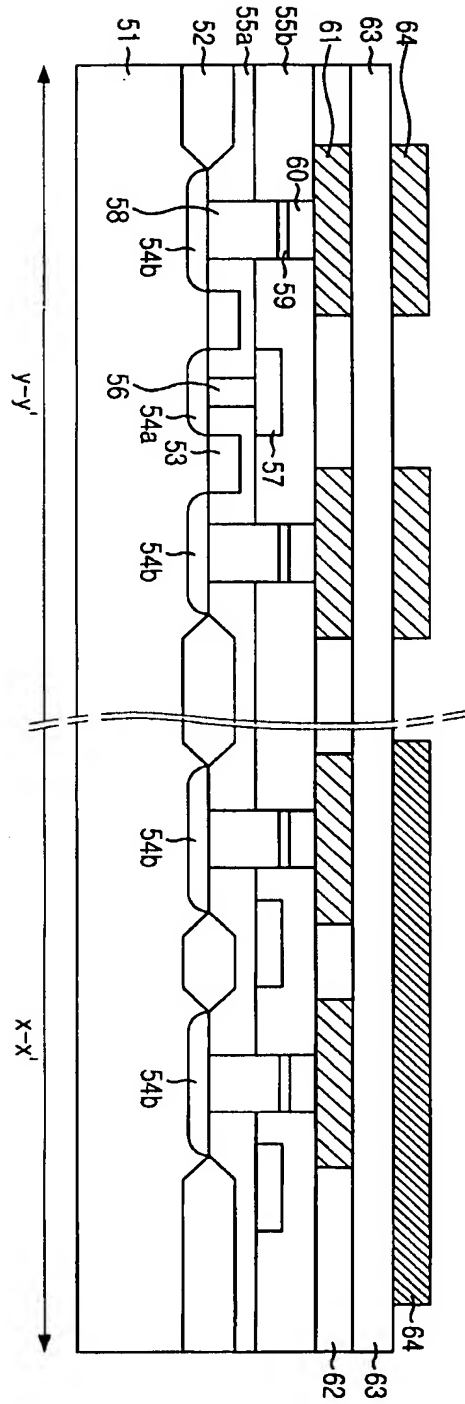


도면 6a

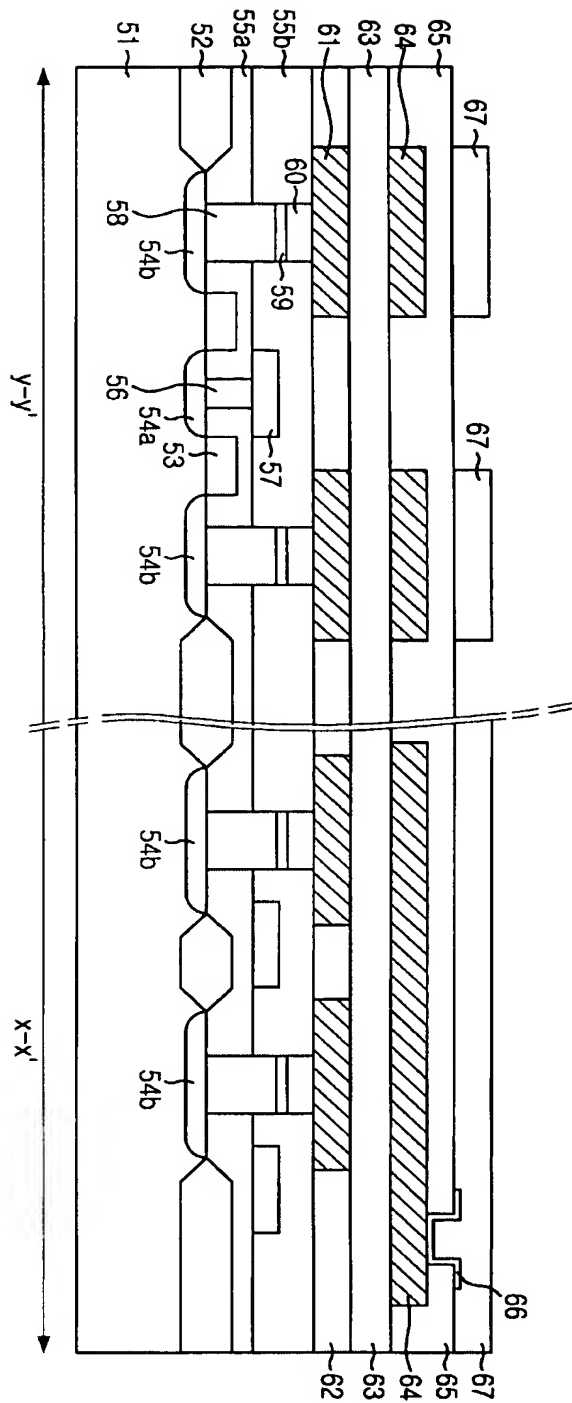


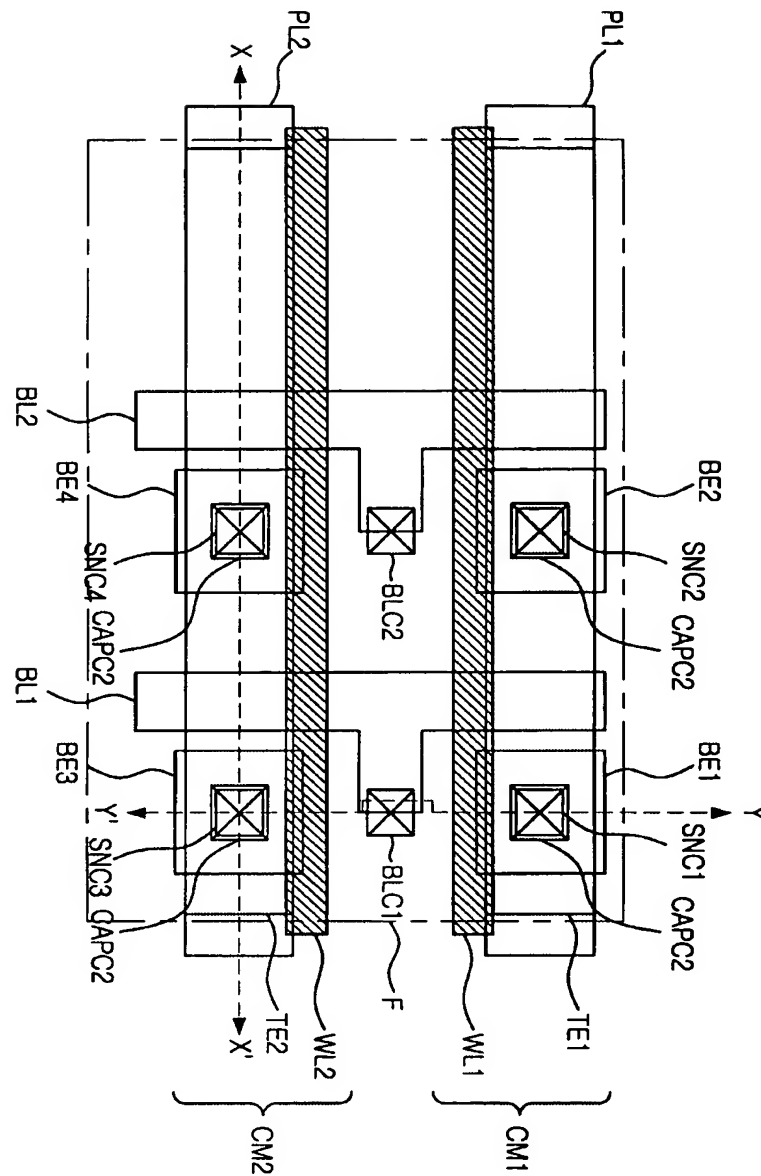


도면 6b

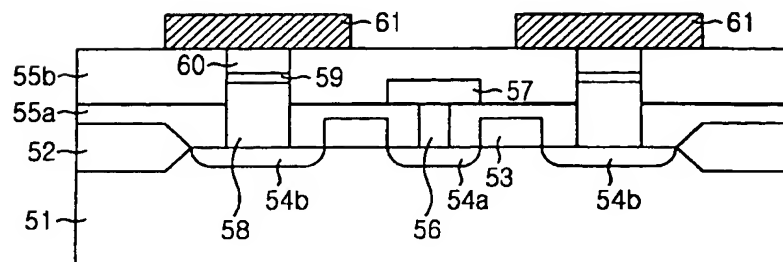


도면 6c

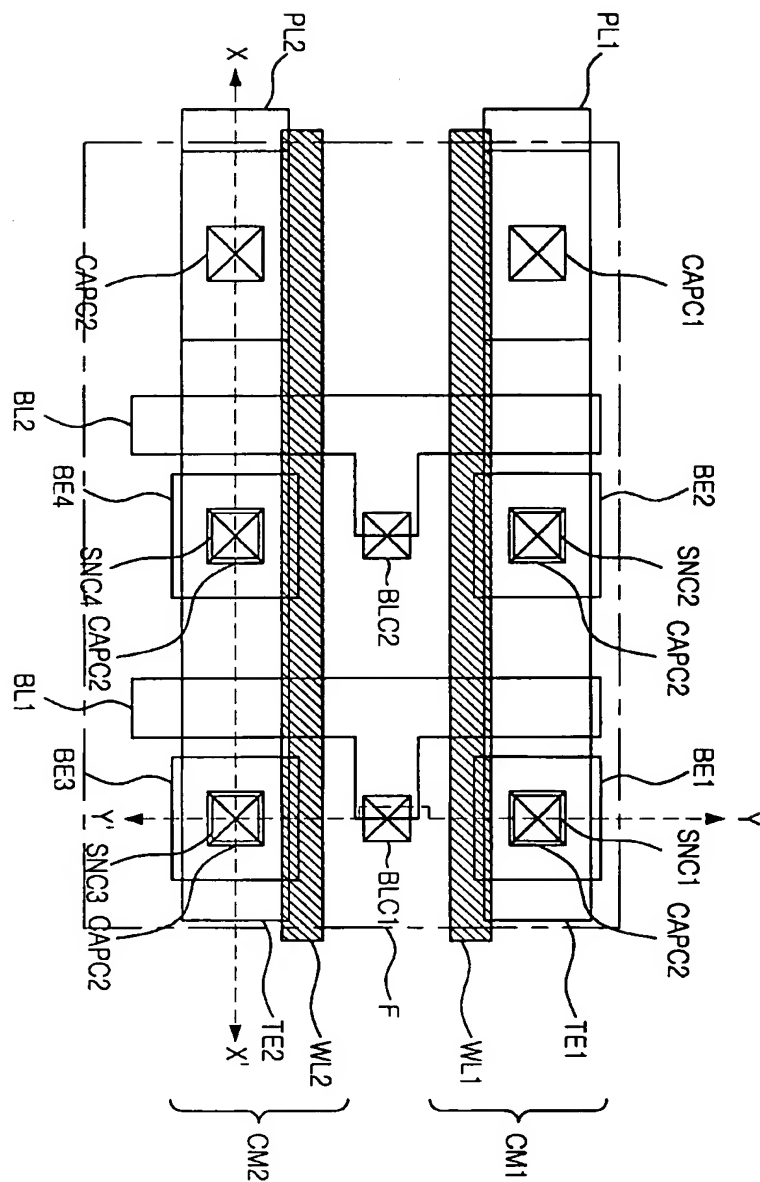




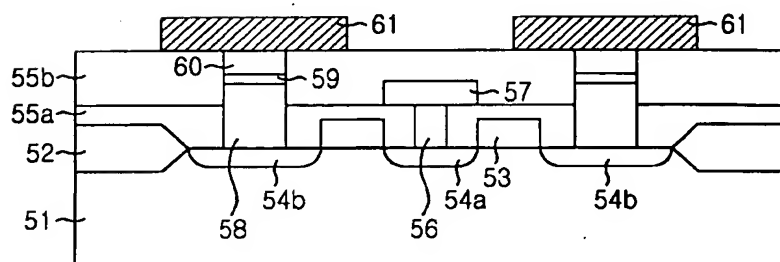
도면 8a



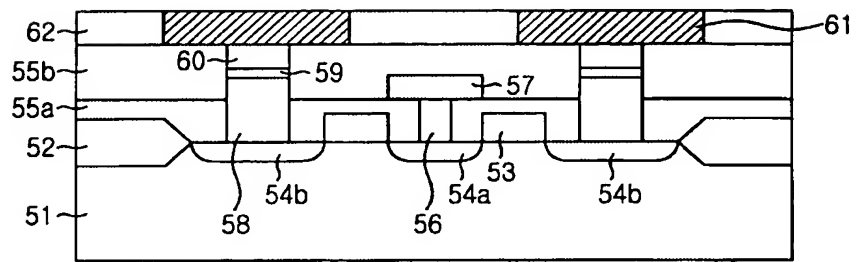




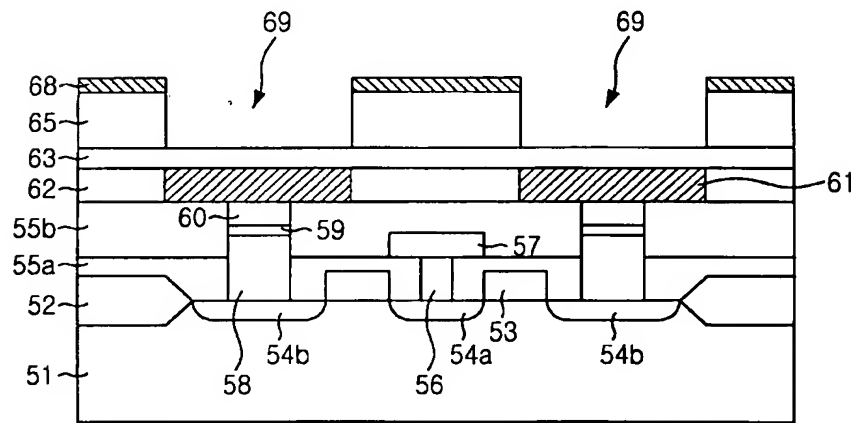
도면 10a



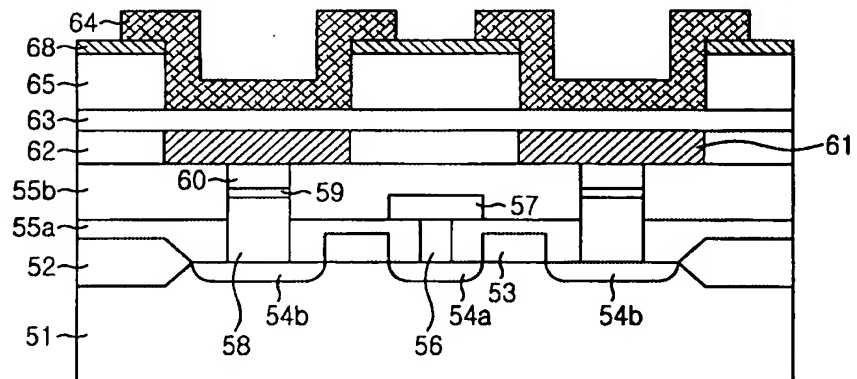
도면 10b



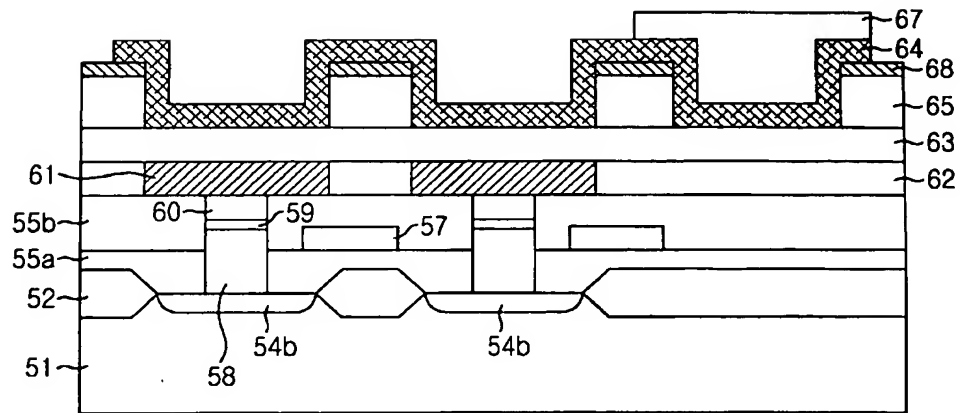
도면 10c



도면 10d

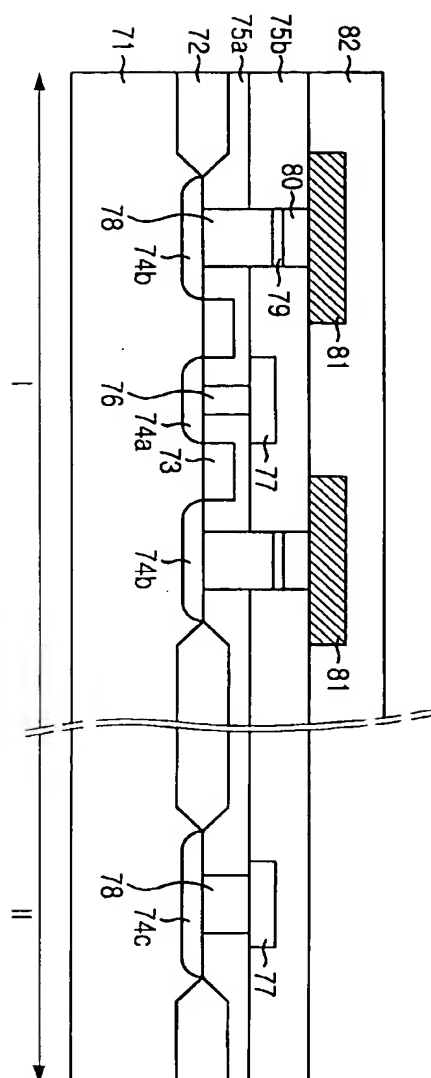


도면 10e

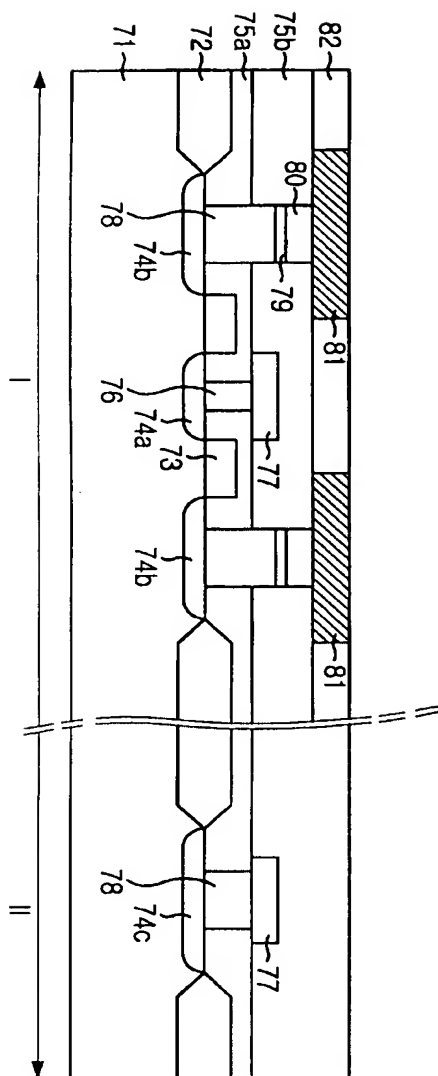




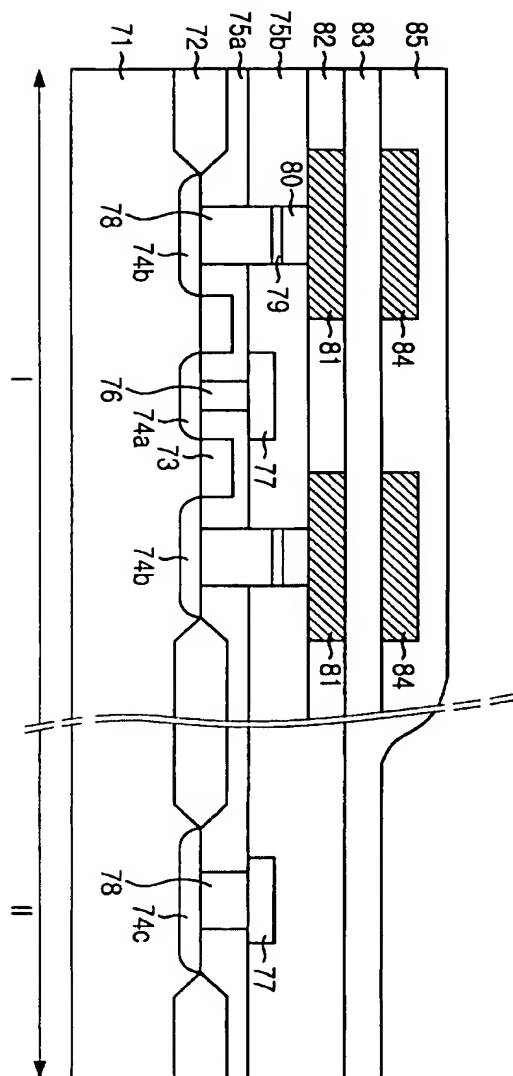
도면 11a

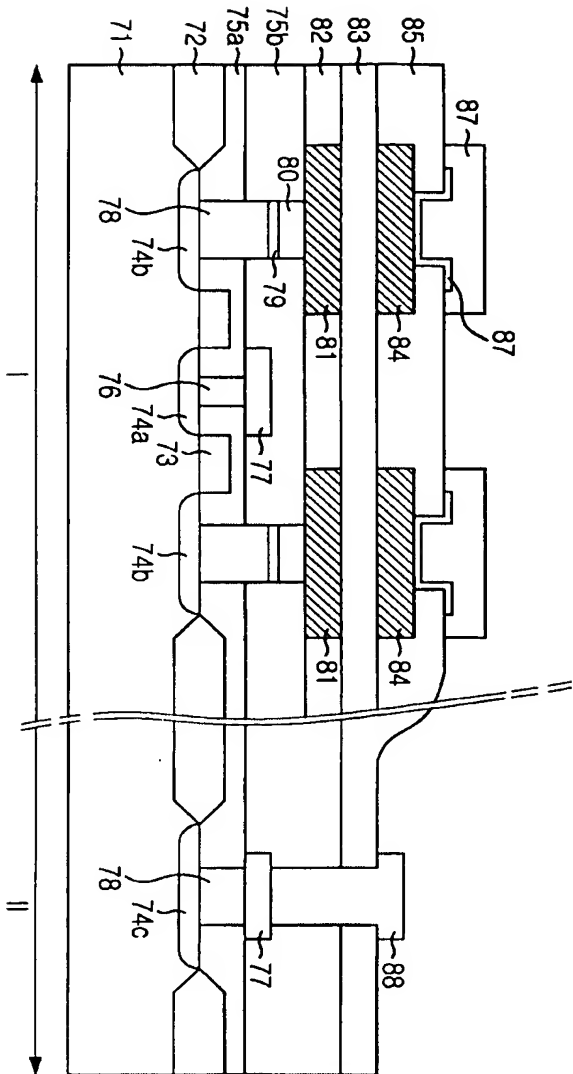


도면 11b



도면 11c





도면 11d